



ORSAY

N° d'ordre : 7946

Université Paris XI

Centre d'Orsay

École Supérieure d'Électricité

SUPÉLEC

THÈSE

présentée pour obtenir le grade de

**DOCTEUR EN SCIENCES
DE L'UNIVERSITÉ PARIS XI ORSAY**

par

Gilles PETIT

SUJET :

**ETUDE DE STRUCTURES RADIOFREQUENCE EN BANDE X SUR
TECHNOLOGIES CMOS-SOS**

Soutenue le 1 septembre 2005 devant la commission d'examen :

MM.	Christophe	DE LA TAILLE	Examineur
	Pascal	FOUILLAT	Rapporteur
	Jean-Michel	FOURNIER	Rapporteur
	Jean-Paul	GILLES	Président
	Richard	KIELBASA	Directeur de thèse
	Vincent	PETIT	Examineur

**Thèse préparée au Département Traitement du Signal & Systèmes Électroniques
École Supérieure d'Électricité**

Remerciements

Toute thèse sanctionne le travail d'une personne pendant trois années d'études décisives. Mais rien ne saurait être possible sans le concours d'une équipe dont l'aide souvent nécessaire est toujours précieuse. C'est pourquoi je tiens à remercier ici tous ceux qui ont contribué au bon déroulement de ce travail tant par leur encadrement ou leurs compétences que par leur soutien.

En premier lieu, je souhaite remercier le Professeur Richard Kielbasa du Département Traitement du Signal et Systèmes Électroniques de SUPELEC ainsi que Monsieur Vincent Petit de THALES Systèmes Aéroportés pour m'avoir accordé leur confiance en acceptant de diriger mes recherches ainsi que pour leur grande disponibilité et les précieux conseils qu'ils ont su me donner pendant ces trois ans.

Je remercie également Messieurs Jacques Oksman et Patrick Gremillet et les services qu'ils représentent respectivement au sein de SUPELEC et de THALES pour m'avoir soutenu en mettant à ma disposition les moyens nécessaires au bon déroulement de ma thèse.

En acceptant d'être les rapporteurs de mon travail, Messieurs Pascal Fouillat et Jean-Michel Fournier m'ont fait un grand honneur. Le temps précieux qu'ils ont consacré à me relire, l'attention et le soutien qu'ils m'ont apportés, les remarques et les interrogations judicieuses qu'ils ont formulées ont été autant d'aides qui m'ont permis d'améliorer la qualité de ce manuscrit. Qu'ils trouvent ici toute ma gratitude.

Je remercie encore Monsieur Jean-Paul Gilles d'avoir accepté de présider le jury. Il témoigne ainsi de la confiance qu'il place en mes travaux et m'honore par sa disponibilité.

Je remercie également Monsieur Christophe de La Taille pour avoir accepté de siéger dans le jury en qualité d'examinateur.

Enfin, je ne saurais oublier tous ceux qui m'ont soutenu : Mademoiselle Marie-Laure Martins, tout d'abord, pour son soutien, ses relectures et son avis extérieur très enrichissant. Mais si effectivement dans un travail de recherche ce sont les discussions qui mènent à la réflexion, que soient encore remerciés Madame Christine Le Borgne, Mademoiselle Sylvie Guessab, et Messieurs Claude Auric, Gilles Aperce, Philippe Benabes, Alain Bonoit, Philippe Duhem, Alain Gautier et Bruno Louis avec lesquels de nombreuses discussions bénéfiques à mes travaux ont eu lieu. De même, je suis reconnaissant de l'investissement de *Peregrine Semiconductor* dans mes travaux, principalement par l'intermédiaire de Messieurs Jean Richaud et John Sung. Enfin, je dirai ma gratitude à tous les enseignants ou collègues de mes institutions d'accueil : Mesdames Sandra Mielle et Veronique Archambaud, Mademoiselle Laurence Darcelle, et Messieurs Cyrille Boulvert, Frank Danober, Yoan Dupret, Gilles Fleury, Patrick Guillaume, Benoît Mallet-Guy, Jean-Philippe Plaze et Jean-Christophe Piquet.

Merci encore à Mademoiselle Fabienne Suraud et Messieurs Eric Laforge et François Trelin grâce à qui les problèmes logistiques ou techniques sont toujours restés bénins.

*"The needs of the many
outweigh the needs of the few"*
Spock

Sommaire

Sigles et notations	1
Introduction	3
1 Contexte	3
2 Sujet de la thèse	4
3 Démarche méthodologique	5
3.1 Transposition et création des briques élémentaires	5
3.2 Développement de véhicules test	5
4 Organisation du document	5
Partie I État de l’art des structures de la chaîne de réception	7
Chapitre I-1 Architectures des systèmes de communication	9
I-1.1 Importance des systèmes de communication	9
I-1.2 Architectures des systèmes de transmission	10
I-1.2.1 Structure générale	10
I-1.2.2 Architectures des systèmes d’émission	10
I-1.2.3 Architectures des systèmes de réception	11
I-1.3 Évolution des structures de réception	11
I-1.3.1 Récepteurs homodyne et hétérodyne	12
I-1.3.2 Différents types de démodulation	13
I-1.3.3 Conclusion	14
Chapitre I-2 Les commutateurs	17
I-2.1 Utilité et principes de base	17
I-2.2 Étude des diverses structures	17
I-2.3 Conclusion	18

Chapitre I-3 Les amplificateurs à faible bruit	19
I-3.1 Définition et utilité	19
I-3.2 Spécifications moyennes constatées	19
I-3.3 Étude des structures et des évolutions	21
I-3.3.1 Étude de l'évolution globale	21
I-3.3.2 Cas spécifique de l'utilisation des MOS	28
I-3.3.3 Comparaison sommaire entre LNA MOS et bipolaire SiGe	33
I-3.3.4 La technologie SOI : un cas particulier de technologie MOS	33
I-3.4 État de l'art des LNA	34
 Chapitre I-4 Les oscillateurs libres et commandés	 37
I-4.1 Définition et utilité	37
I-4.2 Oscillateurs	37
I-4.2.1 Principes de base	37
I-4.2.2 Approches à deux ports : méthode analogique	38
I-4.2.3 Approche à un port : méthode hyperfréquence	40
I-4.2.4 Oscillateurs numériques : oscillateur à relaxation	40
I-4.2.5 Structures analogiques classiques	40
I-4.3 Oscillateurs commandés en tension : VCO	42
I-4.3.1 Mise en place	42
I-4.3.2 Caractéristiques classiques des VCO	43
I-4.3.3 Utilisations classiques des VCO	44
I-4.4 Bruit de phase	44
I-4.4.1 Définition	44
I-4.4.2 Bruit de phase dans les oscillateurs	44
 Chapitre I-5 Les mélangeurs	 47
I-5.1 Principes de base	47
I-5.1.1 Le multiplicateur idéal	47
I-5.1.2 Utilisation des mélangeurs	48
I-5.2 Caractéristiques des mélangeurs	48
I-5.2.1 Paramètres des mélangeurs	48
I-5.2.2 Caractéristiques typiques des mélangeurs	49
I-5.3 Étude des structures et des évolutions	50
I-5.3.1 Les structures passives	50
I-5.3.2 Les structures actives simples	50
I-5.3.3 SBM actifs	51

I-5.3.4	Une structure classique de DBM actif : la cellule de Gilbert	53
I-5.3.5	Les mélangeurs à réjection de fréquence image	53
I-5.4	Conclusion et bilan des réalisations actuelles	55
Partie II	Réalisations et résultats	57
Chapitre II-1	Technologies, méthode et protocole	59
II-1.1	Technologies utilisées	59
II-1.1.1	Paramètres physiques des technologies	59
II-1.1.2	Composants passifs disponibles	59
II-1.1.3	Propriétés des transistors	61
II-1.2	Méthode de conception et d'optimisation	62
II-1.2.1	Une méthode générale en quatre étapes	62
II-1.2.2	Nécessité de l'intervention manuelle	62
II-1.3	Protocole de mesure	62
II-1.3.1	Conditions pratiques de la mesure	62
II-1.3.2	Calibration et <i>deembedding</i>	63
II-1.3.3	Influence de l'environnement de mesure	63
II-1.3.4	Conclusion	63
Chapitre II-2	Étude des switches	65
II-2.1	Considérations théoriques préliminaires	65
II-2.2	Contrainte de conception en hyperfréquence	65
II-2.3	Méthode de conception	66
II-2.4	Réalisation pratique	67
II-2.5	Protocole expérimental et résultat des mesures	67
II-2.6	Conclusion	68
Chapitre II-3	Étude des amplificateurs à faible bruit	71
II-3.1	Considérations théoriques préliminaires	71
II-3.2	Contrainte de conception en hyperfréquence	72
II-3.3	Méthode de conception	73
II-3.4	Réalisation pratique	75
II-3.5	Protocole expérimental et résultat des mesures	75
II-3.5.1	Mesure des paramètres S	77
II-3.5.2	Mesure du gain et du facteur de bruit	77
II-3.6	Conclusion	77

Chapitre II-4 Étude des oscillateurs	81
II-4.1 Considérations théoriques préliminaires	81
II-4.2 Contrainte de conception en hyperfréquence	81
II-4.3 Méthode de conception	82
II-4.4 Réalisation pratique	83
II-4.5 Protocole expérimental et résultat des mesures	85
II-4.6 Conclusion	85
Chapitre II-5 Étude des mélangeurs	89
II-5.1 Considérations théoriques préliminaires	89
II-5.2 Contrainte de conception en hyperfréquence	90
II-5.3 Méthode de conception	92
II-5.3.1 Conception d'un multiplieur	92
II-5.3.2 Conception d'un mélangeur complet	96
II-5.4 Réalisation pratique	96
II-5.5 Protocole expérimental et résultat des mesures	97
II-5.5.1 Mesure des gains	97
II-5.5.2 Mesure du facteur de bruit	99
II-5.6 Conclusion	101
Partie III Intégration d'une chaîne de réception en technologie MOS	103
Chapitre III-1 Synthèse des résultats	105
Chapitre III-2 Discussion	107
III-2.1 Performances obtenues et positionnement relatif dans l'état de l'art	107
III-2.1.1 Qualité des mesures et validité des résultats	107
III-2.1.2 Commutateurs	107
III-2.1.3 LNA	108
III-2.1.4 Oscillateurs	110
III-2.1.5 Mélangeurs	110
III-2.2 Analyse des similitudes et différences	111
III-2.3 Conclusion des travaux sur l'intégration des récepteurs	111
Conclusion	113
1 Contributions à l'état de l'art	113

2	Enseignements	113
3	Perspectives	114

Publications

Annexes

Annexe A Les dispositifs intégrés microélectronique

A.1	Approche unifiée des composants	121
A.2	Les composants passifs en technologie intégrée	122
A.3	Les technologies intégrées sur substrat silicium	123
A.3.1	Le substrat silicium	124
A.3.2	La technologie bipolaire	125
A.3.3	La technologie CMOS <i>Bulk</i>	125
A.3.4	La technologie CMOS SOI	126
A.3.5	La technologie CMOS SOS	128
A.4	Le transistor MOS	129
A.4.1	Les jonctions Métal-Semiconducteurs : propriétés et définitions	129
A.4.2	Le transistor MOS	130
A.4.3	Cas du canal court (inférieur au micron)	132
A.4.4	Cas particulier des technologies Silicium sur Isolant (SOI)	132
A.4.5	Conclusion	132
A.5	Les transistors composites	133
A.6	Particularité de l'implémentation en technologie intégrée	134

Annexe B Méthodologies hyperfréquence

B.1	Unicité des problèmes, pluralité des approches	135
B.2	Systèmes électroniques à deux ports	135
B.3	Outils mathématiques de résolution de problèmes	136
B.3.1	Paramètres S	136
B.3.2	Coefficient de réflexion	137
B.3.3	Gains	137
B.3.4	Facteur de bruit	138
B.3.5	Abaque de Smith	138
B.3.6	Application à l'étude des quadripôles	139
B.4	Importance de l'implémentation	140

Annexe C Contexte technologique et évolution des objectifs

C.1 Objectifs initiaux	143
C.2 Degré de maturité des technologies utilisées	144
C.2.1 Cas de la technologie ST HCMOS9	144
C.2.2 Cas des technologies Peregrine	144
C.3 Évolution des objectifs	145

Table des figures

Liste des tableaux

Références bibliographiques

Sigles et notations

TAB. 1 – Sigles

ASIC	<i>Application Specific Integrated Circuit</i> - Circuit intégré pour application spécifique
BJT	<i>Bipolar Junction Transistor</i> - Transistor bipolaire
CAG	Contrôle automatique du gain
DBM	<i>Double Balanced Mixer</i> - Mélangeur doublement équilibré
F	Facteur de bruit, linéaire
FET	<i>Field Effect Transistor</i> - Transistor à effet de champ
FI	Fréquence Intermédiaire
f_t	Fréquence de transition
HBT	<i>Heterojunction Bipolar Transistor</i> - Transistor bipolaire à hétérojonction
LNA	<i>Low Noise Amplifier</i> - Amplificateur faible bruit
MEMS	<i>Micro Electro Mechanical System</i> - Composant micro-électro-mécanique
MMIC	<i>Monolithic Microwave Integrated Circuit</i> - Circuit intégré monolithique micro-onde
MOS ou MOST	(Transistor) Métal-Oxyde-Semiconducteur
NF	"Figure" de bruit, logarithmique
OL	Oscillateur Local
PA	<i>Power Amplifier</i> - Amplificateur de puissance
PHEMT	<i>Pseudomorphic High Electron Mobility Transistor</i>
RF	Radio Fréquence
ROS	Rapport d'ondes stationnaires
SBM	<i>Single Balanced Mixer</i> - Mélangeur simplement équilibré
SOI	<i>Silicon On Insulator</i> - Silicium sur isolant
SoC	<i>System on Chip</i> - Système sur une seule puce
SOS	<i>Silicon On Sapphire</i> - Silicium sur Saphir
SPDT	<i>Single-Pole Double-Throw switch</i> - Commutateur à une commande, deux positions
VCO	<i>Voltage Controlled Oscillator</i> - Oscillateur commandé en tension

TAB. 2 – Bandes de fréquences

Désignation	Domaine de fréquences (GHz)
VHF	0.030 - 0.300
UHF	0.300 - 1.00
Bande L	1 - 2
Bande S	2 - 4
Bande C	4 - 8
Bande X	8 - 12
Bande Ku	12 - 18
Bande K	18 - 26.5
Bande Ka	26.5 - 40
Bande Q	33 - 50
Bande U	40 - 60
Bande V	50 - 75
Bande E	60 - 90
Bande W	75 - 110
Bande F	90 - 140
Bande D	110 - 170
Bande G	140 - 220

Introduction

1 Contexte

Aujourd'hui, avec l'avènement du multimedia et de l'ère des communications, le besoin en produits électroniques portables, à faible coût et haut débit se fait de plus en plus grand ([1], [2]). Le coût est inversement proportionnel aux quantités produites ([3]). La portabilité est liée d'une part à une faible consommation, d'autre part à une intégration forte. Le haut débit, enfin, est étroitement lié à la fréquence du signal porteur. Ainsi, les volumes élevés d'information nécessitent aujourd'hui une transmission dans la bande des $10GHz$ que ce soit pour des applications civiles (télévision par satellite...) ou militaires (transmission de données, radars...). Nous nous proposons d'étudier des solutions qui permettent de résoudre les deux derniers points par l'intégration sur un même support des fonctions souhaitées.

Dans le domaine des circuits intégrés analogiques rapides, le choix des technologies utilisables est principalement dicté par le rapport entre la fréquence de travail et la fréquence de transition (f_t). Jusqu'à aujourd'hui, les seuls procédés technologiques permettant d'atteindre des f_t de plusieurs dizaines de gigahertz étaient l'arséniure de galium (AsGa) avec les transistors FET puis HEMT, puis le silicium avec les transistors bipolaires HBT. L'apparition du dopage au germanium des bases de transistors bipolaires leur a, en outre, permis de concurrencer l'AsGa sur les domaines de fréquences inférieures à $5GHz$.

Heureusement, la fréquence de transition des transistors CMOS est inversement proportionnelle à la longueur des canaux, et bénéficie à ce titre des progrès continus de la lithographie : la loi de Moore donne une division de la longueur des canaux par $\sqrt{2}$ tous les 18 mois. C'est ainsi que les valeurs obtenues aujourd'hui atteignent $35GHz$ pour des procédés $0,25\mu m$, $50GHz$ pour des procédés $0,18\mu m$ et dépassent $80GHz$ pour les procédés $0,13\mu m$, c'est-à-dire des valeurs comparables à celles des meilleurs procédés bipolaires silicium et AsGa.

Les technologies CMOS constituent donc désormais une nouvelle voie de plus en plus étudiée pour la conception de fonctions radiofréquence (RF). Outre les performances fréquentielles, les procédés CMOS, initialement développés pour des applications numériques, offrent un autre avantage considérable : la possibilité d'intégrer au sein d'un même circuit des fonctions analogiques rapides et des fonctions numériques, le tout pour un coût moindre en production grâce au volume et en exploitation grâce aux faibles consommations. Ceci ouvre des perspectives très prometteuses pour la réalisation de systèmes complets de traitement du signal sur une puce (*System on Chip*), et donc logiquement, l'étude de la possibilité de portage des montages radiofréquence sur les technologies

numériques du futur est un thème fédérateur pour des entités telles que le Département Traitement du Signal et Systèmes Électroniques de Supélec et Thales Systèmes Aéroportés.

Compte tenu de la majorité des demandes actuelles et des procédés les plus répandus, l'essentiel des travaux publiés ou commercialisés concerne aujourd'hui l'utilisation du CMOS dans les domaines RF jusqu'à $2GHz$, et d'une manière prospective jusqu'à $5GHz$. Un des volets de cette étude consiste donc à établir sur le plan théorique et sur le plan pratique la faisabilité de fonctions RF au-delà de $5GHz$ en CMOS. La littérature montre d'une part que les réalisations actuelles dans ces domaines de fréquence sont principalement fondées sur le procédé AsGa à base de transistors FET, voire bipolaires à base de transistors HBT et d'autre part que les types de schémas utilisés pour chaque brique de base (amplificateur faible bruit, amplificateur moyenne puissance, VCO, mélangeur...) sont propres à chaque procédé. La transposition en CMOS est donc loin d'être directe, et nécessite une analyse approfondie pour chaque brique, à la fois synthèse des méthodes existantes et innovation dans les cas bloquants. Les barrières technologiques et techniques qu'il faut franchir sont la prise en compte des pertes (et des couplages) par le substrat ainsi que la faible tension d'alimentation. Ces inconvénients sont largement contrebalancés d'un point de vue industriel par les avantages inhérents au CMOS : forte intégration, mixage analogique-numérique aisé, commutateurs parfaits, et transistors complémentaires.

2 Sujet de la thèse

Par ce travail de thèse, nous avons entrepris une étude générale des limites pratiques d'intégration de fonctions radiofréquence en technologies CMOS en essayant de tirer les performances maximales d'une technologie donnée. Pour des raisons à la fois pratiques mais aussi prospective pour THALES, les technologies utilisées pour réaliser les démonstrateurs ont été les technologies Peregrine CMOS SOS $0,5\mu m$ et $0,25\mu m$. Si ces choix peuvent *a posteriori* paraître optimistes, l'annexe C montrent qu'ils étaient justifiés en début de thèse.

Afin de répondre à la problématique de l'intégration complète de structures radiofréquence en bande X sur technologie CMOS SOS, cette étude comporte trois volets :

- la mise en évidence des spécificités de conception dans une technologie CMOS prévue au départ pour des applications numériques,
- l'adaptation de structures classiques ou, à défaut, la recherche de structures nouvelles pour une réalisation optimisée des briques élémentaires d'une chaîne de réception,
- une importante partie expérimentale consacrée à la conception, l'implantation et le test de ces briques.

Les retombées de cette étude sont une évaluation de la faisabilité à terme d'une chaîne de réception intégrée en bande X industriellement viable grâce à l'utilisation d'une technologie CMOS-SOS à relativement faible coût employée au delà de sa cible industrielle nominale. Au départ, seules la fréquence d'entrée de $10GHz$ et la technologie ont été imposées. Les autres grandeurs caractéristiques des éléments de la chaîne ont été laissées libres en s'efforçant de réaliser une homogénéité de performances entre les différents blocs dans l'optique d'une intégration complète future.

Ce travail permet également de préparer les concepteurs à l'emploi de technologies émergente dans le domaine des applications industrielles visées, tant du point de vue méthodologique que technique.

3 Démarche méthodologique

3.1 Transposition et création des briques élémentaires

Afin de répondre aux objectifs fixés, des briques de base ont été identifiées et leurs différentes architectures analysées. L'architecture la plus performante qui utilise au mieux les avantages de la technologie CMOS a été choisie. Le développement a été poussé jusqu'au dessin des masques, afin de prendre en compte lors de la simulation électrique le maximum d'effets parasites. Les performances ont été optimisées pour la bande de fréquence des $10GHz$ (bande X) qui est à la fois étudiée aujourd'hui par un nombre restreint de personnes et représente l'avenir proche des communications.

3.2 Développement de véhicules test

Une fois les sujets d'étude choisis et les briques élémentaires conçues, nous avons souhaité valider les résultats théoriques par une seconde phase expérimentale. Pour cela, trois véhicules d'essais contenant les structures à tester ont été produits par le fondeur. Nous avons ensuite mesuré les prototypes : la comparaison aux résultats de simulation montre, de part l'écart important, la nécessité d'une validation pratique et les limites de la simulation. Enfin, un positionnement par rapport à l'état de l'art a été mené permettant de juger de la pertinence de la transposition en fonction des structures mais aussi du point de vue de la chaîne globale.

Plusieurs technologies auraient pu être utilisées pour la réalisation des véhicules de test mais le choix s'est porté sur les technologies CMOS SOS "UTSi" de Peregrine Semiconductor ($0,5\mu m$ et $0,25\mu m$) qui étaient d'une part source d'intérêt pour Thales et qui présentaient d'autre part un coût et une disponibilité abordables.

4 Organisation du document

Les travaux présentés correspondent à une recherche de méthodologies d'adaptations de structures vers des conditions de réalisation particulières (technologie MOS standard et haute fréquence) ou à défaut à la recherche de nouvelles structures. Il convenait alors de laisser une place importante à la bibliographie et à l'état de l'art qui joue le double rôle de recherche préliminaire et de premier tri dans les structures exploitables. Ainsi le présent rapport est découpé en trois parties qui sont :

- L'état de l'art : l'étude est tout d'abord cadrée par l'analyse des chaînes de communication et les blocs à étudier sont isolés (chapitre I-1). Leur réalisation est ensuite détaillée par un tour d'horizon des structures et méthodes propres aux blocs choisis (commutateur, amplificateur à faible bruit, mélangeur et oscillateur) respectivement aux chapitres I-2 à I-5.
- La réalisation de structures dans le cadre imposé : nos propres études sont proposées avec ce qu'elles comportent de spécifique et d'innovant. Les méthodologies de conception des quatre blocs précédents sont présentées. Après avoir détaillé les technologies support ainsi que les méthodes de mesure (chapitre II-1), ceci se fait en partant d'une étude théorique préliminaire qui permet de mettre en évidence les contraintes de conception spécifiques au cadre choisi (bande X en technologie CMOS-SOS submicronique). Une méthode est alors présentée et commentée puis validée par une réalisation pratique. Cette dernière a, à chaque fois, donné lieu au développement et au test d'un véhicule dont les résultats de mesure sont finalement exposés (chapitres II-2 à II-5).

- La prise de recul amenant aux conclusion sur l'intégration : l'approche globale et ce que l'on peut attendre de la recherche sur les *Systems on Chip* (SoC) sont étudiés. Une synthèse des résultats principaux est faite, préparant ainsi une discussion sur l'intégrabilité de la chaîne de réception en bande X en technologie MOS (chapitre III-1). Puis, une discussion est menée sur la valeur des résultats obtenus et leurs positionnement dans l'état de l'art pour chaque bloc. L'analyse des similitudes et des différences du point de vue de la conception est menée en prenant en compte que l'objectif de ces travaux reste une intégration complète et non la réalisation de blocs individuels. Le chapitre III-2 se termine par une conclusion sur ce thème.

Première partie

État de l'art des structures de la chaîne de réception

Cette première partie détaille les structures des modules de transmission afin d'en extraire les blocs élémentaires. Un état de l'art bibliographique est alors réalisé pour les quatre composants de base : les commutateurs, les LNA, les oscillateurs et les mélangeurs.

Son objet est d'obtenir une vision claire des schémas utilisées aujourd'hui et des méthodes ayant permis leur conception, ceci afin de servir de base au développement de transpositions de structures, en fréquence et en technologie, ou, en cas d'impossibilité, à l'élaboration de structures innovantes.

Chapitre I-1

Architectures des systèmes de communication

I-1.1 Importance des systèmes de communication

Dans le contexte exposé, il convient de constater que le développement de nouveaux besoins dans le domaine du multimedia contraint l'industrie à améliorer ses produits principalement en terme de débit et d'intégration. Parallèlement, le secteur de la défense cherche à développer les performances en terme de brouillage et de détection. L'un des verrou technologique de l'électronique moderne concerne la transmission et la réception de signaux. Une solution pratique pour répondre à la nécessité de la baisse des coûts consiste en l'application et l'utilisation de structures réutilisables. Le rôle de la recherche est d'explorer en amont les pistes possibles. Une approche système permet de mettre en évidence de nouvelles configurations ou techniques autorisant la production ou la réception d'information ou de signal. Elle fixe alors les contraintes applicables aux structures fonctionnelles. Le domaine de l'électronique doit quant à lui s'adapter et explorer les diverses options prenant en compte les souhaits émis par les systémiers et les performances atteintes par les technologues. Ces derniers essaient d'extraire les meilleures performances d'une technologie ou d'un processus de réalisation.

Tout système de transmission radiofréquence peut être représenté par le schéma synoptique de la figure I-1.1, et la suite de ce chapitre montrera, d'un point de vue fonctionnel, les différentes architectures des systèmes de transmission en étudiant leurs similitudes avec les systèmes de réception. Pour terminer, chaque bloc constituant le récepteur sera étudié au niveau structurel.

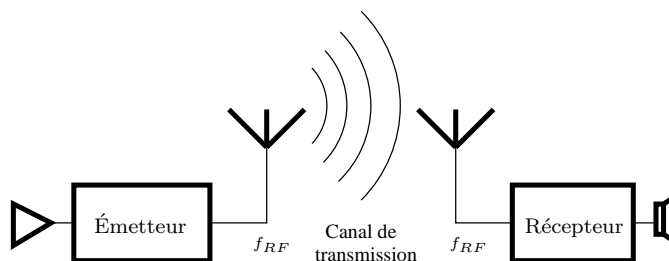


FIG. I-1.1 – Synoptique d'une liaison sans fil

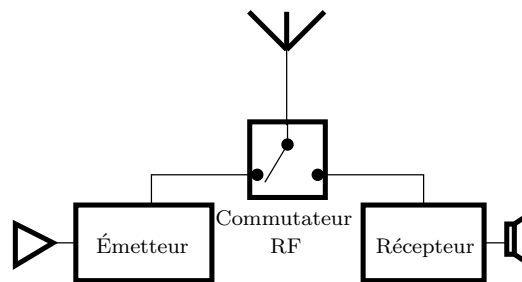


FIG. I-1.2 – Synoptique d'une extrémité de transmission symétrique

I-1.2 Architectures des systèmes de transmission

I-1.2.1 Structure générale

À chaque extrémités du systèmes de transmission, il peut n'y avoir que la fonction d'émission ou la fonction de réception. Si les deux sont nécessaires, les antennes peuvent être distinctes ou communes. Dans ce dernier cas, le partage se fait à l'aide d'un commutateur radiofréquence (I-1.2).

I-1.2.2 Architectures des systèmes d'émission

La transmission d'une information peut-être scindée en quatre étapes :

- le conditionnement : c'est une mise en forme du signal initial afin de compenser les perturbations prévisibles qui pourraient être introduites par le reste de la chaîne (par exemple, la préaccentuation en modulation de fréquence).
- la transposition de fréquence : le signal est transposé sur un medium qui assure son transport dans le milieu donné. Le medium sera la lumière pour une fibre optique ou un signal électromagnétique HF pour une transmission dans l'espace. Le signal porteur est généré par un synthétiseur de fréquence construit autour d'un oscillateur à fréquence variable (VFO - *Variable Frequency Oscillator*). Le signal généré par ce synthétiseur peut en général se caractériser par une amplitude et une phase. Ce signal peut se moduler en rendant l'une ou l'autre de ces caractéristiques dépendante(s) du signal porteur d'information, et ce de façon non exclusive. Grâce à ce principe, on construit l'ensemble des modulations existantes, partant des plus anciennes et simples (modulation d'amplitude, de fréquence...) aux plus récentes et complexes (modulation numérique QAM - *Quadrature Amplitude Modulation* - agissant à la fois sur la phase et l'amplitude).
- le filtrage : le signal une fois transposé doit être filtré. Cette étape est d'autant plus cruciale que la bande est saturée ou que de forts perturbateurs sont présents. Ce filtre de bande permet de respecter le gabarit souvent imposé par des normes (par exemple celles de l'ETSI - *European Telecommunications Standards Institute* - concernant la téléphonie mobile).
- l'amplification de puissance : elle fournit une puissance suffisante pour la transmission du signal dans les conditions requises. En règle générale, une boucle de régulation en puissance permet de maintenir le niveau d'émission indépendant des données d'entrée si besoin ou pour éviter les pics destructeurs.

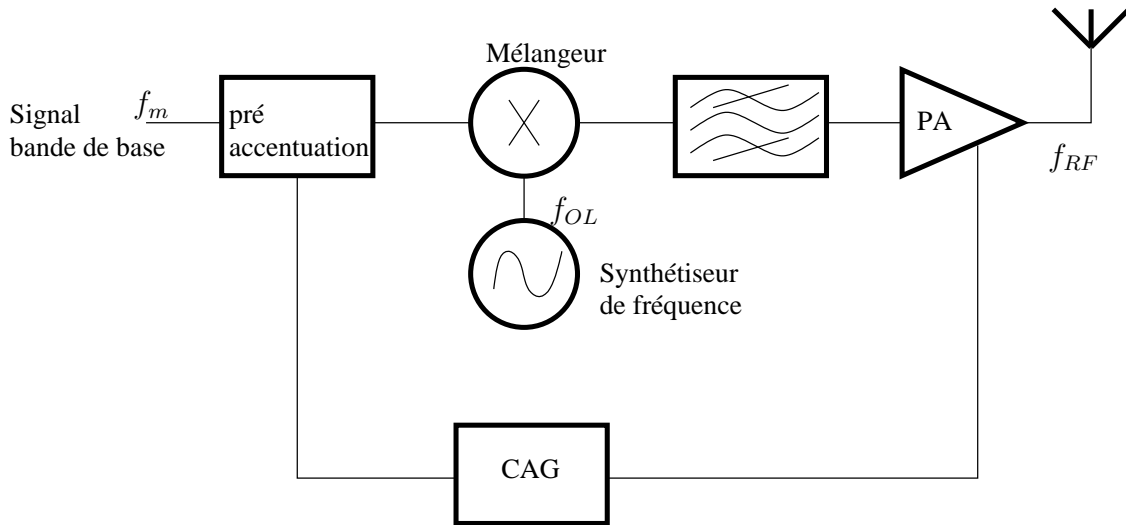


FIG. I-1.3 – Synoptique d'un émetteur

Un système de transmission global peut alors être mis sous la forme synoptique de la figure I-1.3. Un seul ensemble mélangeur-synthétiseur (émission homodyne) a été représenté alors qu'il peut en exister plusieurs si cela facilite les conditions de réalisation (émission hétérodyne).

I-1.2.3 Architectures des systèmes de réception

En règle générale, le signal capté par l'antenne ne contient pas uniquement l'information intéressante. Celle-ci est la plupart du temps noyée dans un mélange de bruit et d'autres signaux inutiles à l'application considérée. Il convient alors d'amplifier le signal utile et de préserver le système, au maximum, du bruit, des non-linéarités du récepteur ou des signaux parasites (*spurious noise*). Pour cela on utilise un ensemble amplificateur à faible bruit (LNA - *Low Noise Amplifier*) incluant un filtre de bande en entrée et en sortie.

Le signal utile ainsi isolé doit être ramené autour d'une fréquence permettant son traitement. Cette fonction, pendant du bloc modulateur-synthétiseur, est constituée par un démodulateur-synthétiseur. Historiquement, le terme démodulateur est utilisé mais selon les architectures, le signal issu de cet ensemble n'est pas forcément utilisable immédiatement (voir section I-1.3).

Le signal ainsi ramené autour d'une fréquence correcte par un ou plusieurs ensembles pré-cités doit alors être traité. S'il y a eu une réelle démodulation, l'information est déjà récupérée, dans le cas contraire, une démodulation doit avoir lieu, éventuellement grâce à un traitement numérique (fig. I-1.4).

I-1.3 Évolution des structures de réception

Le synoptique I-1.4 montre que les récepteurs sont construits autour de structures apparemment simples. En fait, la difficulté de l'exemple ci-avant est masquée par l'absence de détail du

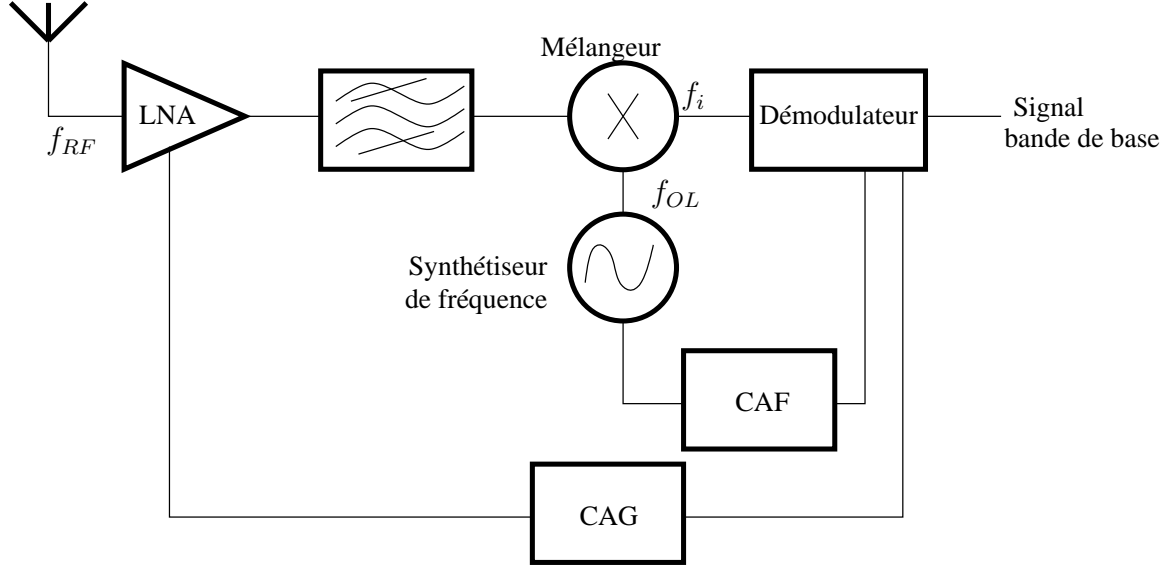


FIG. I-1.4 – Synoptique d'un récepteur

démodulateur. Afin d'identifier les blocs élémentaires des récepteurs, leur architecture doit être approfondie en particulier en analysant les fonctions démodulatrices. Cette étude permet de montrer que tout récepteur est construit autour des mêmes éléments de base quelque soit la complexité de sa structure.

I-1.3.1 Récepteurs homodyne et hétérodyne

Dans les schémas précédents, le bloc démodulation/VFO peut être répété. En fait, la fonction dupliquée est celle de la transposition en fréquence qui est constituée d'un VFO contrôlant un mélangeur. Le rôle de ce dernier est d'effectuer la multiplication des deux signaux (OL venant de l'oscillateur et RF venant du LNA) et de filtrer la composante résultante utile. En effet, l'équation I-1.1 montre en qu'il y a bien transposition en fréquence par multiplication de deux signaux sinusoïdaux, et par application de la décomposition de Fourier, cette conclusion est applicable à tout signal physique.

$$\cos(\omega_{LO}t) * \cos(\omega_{RF}t) = \frac{1}{2} \left[\cos[(\omega_{LO} + \omega_{RF})t] + \cos[(\omega_{LO} - \omega_{RF})t] \right] \quad (\text{I-1.1})$$

Dans le cas où le signal est ramené en bande de base par un seul changement de fréquence, le récepteur est dit homodyne. Lorsque un ou plusieurs changements sont réalisés pour transposer le signal sur une fréquence intermédiaire, le récepteur est dit hétérodyne. Si de plus une selectivité accrue est ajoutée sur la fréquence intermédiaire permettant ainsi de choisir un canal spécifique, le récepteur est par définition superhétérodyne.

Récepteurs hétérodynes

Ce type de récepteur a été conçu au départ de façon à traiter le signal à une fréquence pour laquelle les facteurs de qualité des éléments ne sont pas trop élevés. Par exemple, il faudrait des facteurs Q

de l'ordre de plusieurs milliers à fréquence centrale variable pour permettre la séparation des canaux avec les normes actuelles de la téléphonie mobile si le filtre était placé en tête. La solution retenue consiste en le choix d'une fréquence intermédiaire (f_i) non nulle mais fixe où le travail de séparation est fait.

Néanmoins, l'équation I-1.1 montre que pour f_i non nulle, il existe une fréquence dite image f_{img} différente de f_{RF} qui est ramenée en f_i et telle que $|f_{img} - f_{RF}| = 2f_i$. Ceci est problématique dans la mesure où les normes ne peuvent spécifier ce qui est présent en dehors de la bande utile. Il faut alors chercher le bon compromis sur le choix de la fréquence intermédiaire. Si elle est choisie trop élevée, un filtre peu sélectif donc réalisable en technologie intégrée servira à supprimer la fréquence image, mais le traitement du signal ramené autour de f_i ne sera pas simple. Si elle est prise trop faible, le traitement sera aisé mais pas la réjection de f_{img} . D'autres moyens de rejeter la fréquence image existe, sans avoir recours aux filtres de tête. Ils sont construits autour de systèmes permettant la soustraction des fréquences indésirables et sont étudiés en détail au chapitre I-5. Il reste toutefois la solution d'utiliser une fréquence intermédiaire nulle.

Récepteurs homodynes

Les montages homodynes sont aussi appelés *Zero-IF* ou à conversion directe. Ils sont le cas particulier pour lequel $f_i = 0$. Il n'y a alors plus de problème de fréquence image. De plus le traitement en bande de base est simplifié car les filtres à réaliser sont passe-bas et non plus passe-bande. Toutefois, ce type de montage reste peu utilisé en RF car il engendre d'autres problèmes dont les principaux sont :

- le "*DC offset*" : du fait d'une conversion tôt dans la chaîne de réception où le seul filtre utilisé est le filtre de tête RF, de nombreux phénomènes contribuent à la création de signaux continus (DC) qui sont alors directement parasites dans la bande utile. Parmi ces phénomènes, on note l'auto-mélange dû à une fuite du signal OL sur l'entrée RF du mélangeur qui, mélangé par lui-même, donne une composante continue. Le pendant de cet effet parasite est une fuite de la RF sur l'OL engendrant aussi un signal continu ;
- la distortion d'ordre pair : si un récepteur RF hétérodyne est sensible essentiellement aux effets d'intermodulation d'ordre impair, le récepteur homodyne voit ses performances liées aux distortions d'ordre pair. En effet, d'une part la seconde harmonique du signal RF est transposée en bande de base lorsqu'elle est mélangée avec la seconde harmonique OL. D'autre part, toute non-linéarité dans les étages amont du mélangeur va créer une intermodulation de fréquence basse qui, par fuite de la RF sur la FI (fréquence intermédiaire), va être un signal parasite ;
- le bruit en $1/f$: typique des structures MOS, il devient un vrai problème dans la conception des structures *zero-IF* sur ce type de substrat. Il n'y a pas de solution d'un point de vue système pour s'affranchir de cet effet parasite et les recherches et améliorations interviennent directement au niveau du composant.

I-1.3.2 Différents types de démodulation

Grâce aux propriétés de la décomposition en série de Fourier, l'étude de la réception de signaux quelconques se résume à celle d'un signal de la forme :

$$Rx(t) = A(t)\cos(\Phi(t)) \quad (\text{I-1.2})$$

On définit la fréquence instantannée par $\omega(t) = \frac{d\Phi}{dt}$ et on déduit de l'équation I-1.2, trois façons de transmettre une information dans ce signal reçu $Rx(t)$:

Démodulation d'amplitude

C'est le cas le plus simple où seule $A(t)$ est dépendante du temps et est fonction de l'information cherchée. S'il est très simple à mettre en œuvre, ce type de modulation est particulièrement sensible aux bruits de canal qui sont directement démodulés et ajoutés au signal utile lors de l'opération de démodulation.

Démodulation de phase

Afin d'éliminer cette dépendance au canal, la seconde caractéristique des signaux a été prise en compte amenant la modulation de la phase. Dans ce cas, l'amplitude A est constante mais la phase Φ dépend du temps t . Dans le cas où $\Phi(t) = \omega_0 t + \phi(t)$, on effectue une démodulation de déphasage appelée classiquement démodulation de phase. Si elle s'affranchit du bruit de canal non contrôlable, cette modulation reste très sensible au bruit de phase de l'oscillateur local qui permet le décalage en fréquence.

Démodulation de fréquence

Il s'agit du cas particulier de la modulation de phase pour lequel $\omega = \omega_0 + \Delta\omega(t)$. Elle offre de nombreuses caractéristiques commune avec la modulation de phase.

Démodulation numérique

Les techniques modernes de traitement du signal en temps réel et en systèmes embarqués ont ouvert de nouveaux horizons : en effet, la puissance de calcul disponible permet de retrouver mathématiquement de l'information codée et éventuellement redondante. C'est pourquoi, actuellement, la tendance est de coder l'information en utilisant simultanément les deux propriétés du signal (la phase et l'amplitude) afin d'augmenter la robustesse des transmissions. Les bruits s'appliquant dans chacun des cas étant décorrélés, ceci permet de s'en affranchir en confrontant les informations perturbées issues de chacune des modulations.

Il semble alors que ce type de système est plus complexe que les précédents comme le laisse paraître la figure I-1.5. Toutefois, les éléments constitutifs de base sont identiques et les efforts doivent être réalisés sur les amplificateurs à faible bruit (LNA), les mélangeurs et les synthétiseurs de fréquence.

I-1.3.3 Conclusion

L'étude précédente pourrait être généralisée à de nombreux autres types de modulation plus ou moins connus et utilisés. Il ressort de façon systématique que les briques de base sont l'amplificateur faible bruit et les systèmes de filtrage dont il a besoin, la synthèse de fréquence construite sur la base d'un oscillateur local et le mélangeur qui est un multiplieur analogique jumelé à des filtres. Les chapitres suivant passent en revue ces briques de base. Tous les rappels concernant les composants électroniques ainsi que les méthodes classiques de calcul sont fournis en annexe. Les technologies numériques, qui permettent une intégration forte de la logique et donc de la partie radio complète sont principalement étudiées. Toutefois, les technologies plus classiques pour les montages haute fréquence sont aussi prises en compte car elles constituent la base du travail de transposition.

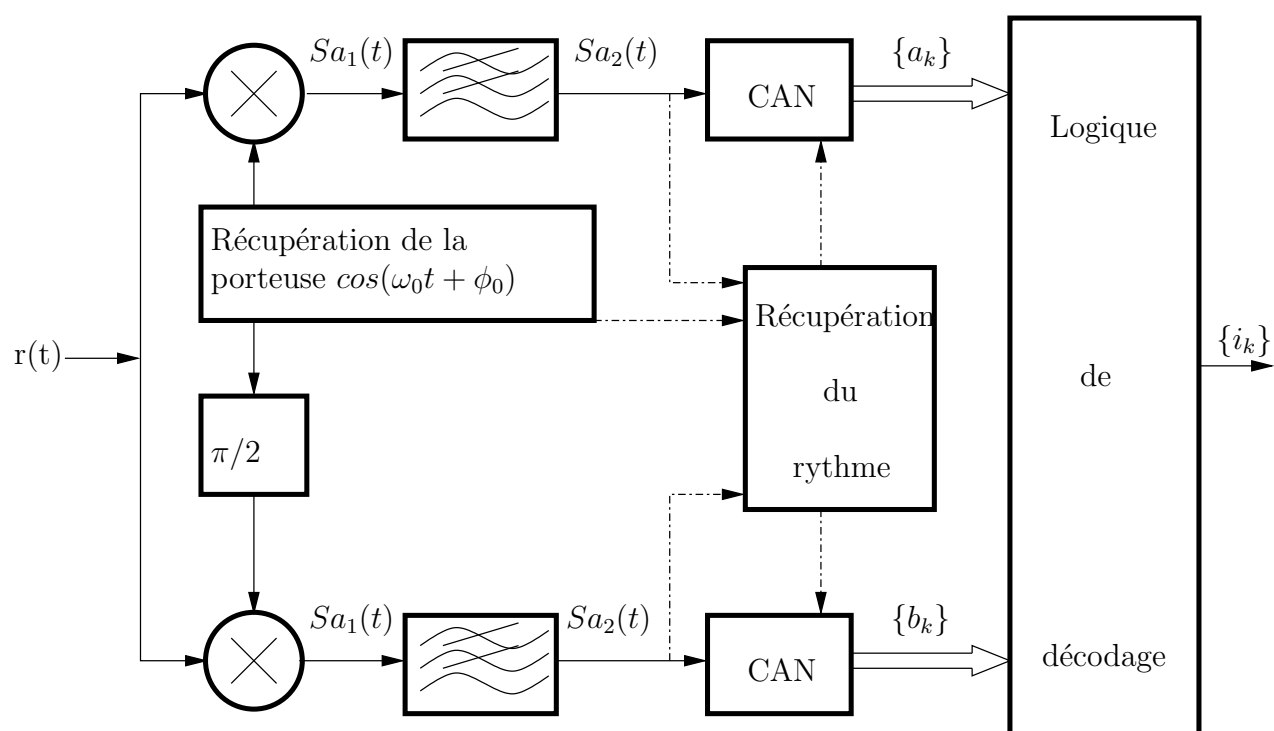


FIG. I-1.5 – Schéma synoptique d'un récepteur numérique : exemple d'une démodulation QAM

Chapitre I-2

Les commutateurs

I-2.1 Utilité et principes de base

La partie précédente a montré dans l'étude système que les éléments de base de la chaîne de réception étaient le LNA, le mélangeur et l'oscillateur. Il ne faudrait cependant pas négliger l'importance des commutateurs (switchs). En effet, ce type d'élément est placé en tête de chaîne juste après l'antenne dans les systèmes alternant entre émission et réception et sert le plus souvent à séparer la voie montante de la voie descendante en assurant la meilleure isolation possible et les pertes minimales, paramètres liés à la technologie.

Les commutateurs ont essentiellement été inclus ici car leur étude permet, de part la simplicité de la structure choisie, d'aborder les problèmes spécifiques à la conception, c'est à dire l'évaluation des performances de la technologie et des limites de la précision des modèles. Ils permettent donc ici d'estimer la qualité de la technologie plus qu'ils ne sont étudiés en temps que fonction.

Un switch peut être un simple commutateur ou un système complexe tel qu'un interrupteur multi-position avec adaptation d'impédance. De même, la réalisation peut être soit sous forme intégrée, soit sous forme mixte à l'aide de structures micromécaniques (MEMS). Les sections suivantes chercheront à établir une base de comparaison pour nos réalisations.

I-2.2 Étude des diverses structures

La littérature met en évidence que la structure principalement publiée est le SPDT (*Single-Pole Double-Throw switch*) qui sert à partager une antenne entre un émetteur et un récepteur. En fait, elle est constituée de deux structures symétriques à base d'interrupteurs réalisés à l'aide de transistors. De plus, par conception, chaque étage doit en général voir une entrée ou une sortie adaptée d'une part de façon à maximiser le transfert de puissance, et d'autre part pour éviter une instabilité conditionnelle. Les structures présentées en figure I-2.1 permettent de répondre à ces contraintes.

A partir de la structure complète identifiée à la figure I-2.1.(c) publiée en particulier dans [4] ou [5], il apparaît que les caractéristiques clés sont la perte d'insertion en mode fermé et l'isolation en mode ouvert. L'adaptation en entrée et en sortie peut aussi être un critère de qualité en fonction des applications envisagées ([6]). La fréquence de fonctionnement n'est pas un critère de performance dans la mesure où elle est le plus souvent imposée par une application : en effet, l'intérêt principal de

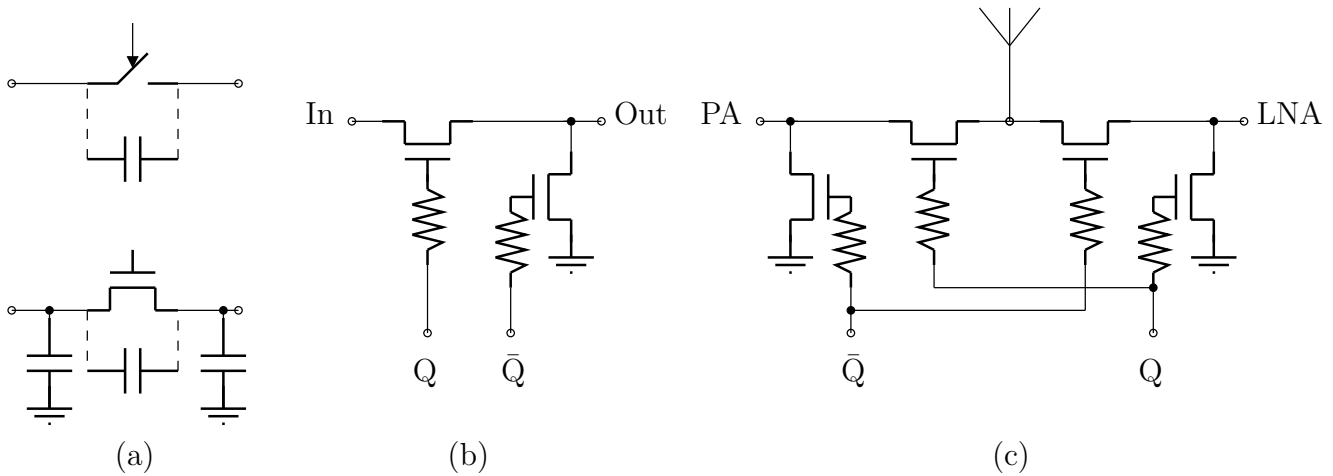


FIG. I-2.1 – Commutateurs : (a)interrupteur à MOS, (b)structure de base (c)SPDT complet [4]

cette structure est de permettre une commutation rapide dans les systèmes nécessitant un passage permanent entre l'émission et la réception (structure GSM, WiFi, etc à TDD - *Time Division Duplexer*). Les performances moyennes sont présentées dans le tableau I-2.1.

Pertes d'insertion	0.6dB à 1.5
Isolation	-60dBm à -20
Adaptation d'impédance	-30dB

TAB. I-2.1 – Caractéristiques typiques des switches

Il existe une autre catégorie de switches, réalisés à partir de structures micro-mécaniques (MEMS). Ils sont, par conception, limités dans leur vitesse de commutation mais permettent par un contact mécanique et donc une perte d'insertion et une isolation meilleures, d'obtenir des performances en fréquence supérieures à celles réalisées en électronique seule. Toutefois, ces structures sortent du présent cadre qui cherche à intégrer la chaîne de réception sur une technologie CMOS standard en utilisant le processus d'origine sans étapes supplémentaires.

I-2.3 Conclusion

Suite à ce qui précède, les études sur la conception et la réalisation des switches serviront à évaluer les performances de la technologie tout en essayant d'atteindre des performances classiques et en conservant une fréquence d'étude située en bande X.

Chapitre I-3

Les amplificateurs à faible bruit

I-3.1 Définition et utilité

L'amplificateur à faible bruit ou LNA (*Low Noise Amplifier*) constitue l'amplificateur de tête de la chaîne de réception. La formule de Friis I-3.1 montre que plus un amplificateur est en amont et plus fort est son gain, plus son influence sur le bruit global est significative. La conception d'un LNA doit donc être un compromis entre le facteur de bruit et le gain.

$$F = 1 + \sum_{k=1}^n \frac{F_k - 1}{\prod_{i=1}^{k-1} G_{Ai}} \quad (\text{I-3.1})$$

D'un point de vue système, le LNA se modélise par la figure B.1 comme tout système à deux ports comme cela est signalé en annexe B.2. Comme il s'agit d'un système réel, il faut, pour obtenir un transfert de puissance optimum, réaliser une adaptation d'impédance. Alors, la fonction μ est confiée à un étage actif (à base de transistors MOS simples ou composites) et la fonction β est scindée en trois parties (une pour chaque accès) ainsi qu'éventuellement sur l'entrée substrat (*bulk*). Le couplage plus ou moins appuyé entre ces réseaux correspond à la fonction de bouclage.

La figure I-3.1 résume l'intérêt principal de l'adaptation de chaque accès. En effet, un LNA peut aussi être découpé en sous blocs et la formule I-3.1 s'applique encore. L'entrée doit donc être particulièrement soignée en terme de facteur de bruit alors que la formule I-3.2 montre que le dernier étage doit être étudié afin de limiter les non-linéarités ([7]).

$$IP3|_{dB} = 10 \log \left(\frac{1}{\frac{1}{IP3_1} + \frac{1}{IP3_2} + \dots + \frac{1}{IP3_n}} \right) \quad (\text{I-3.2})$$

avec $IP3_n$, le point d'interception d'ordre 3 en entrée de l'étage n ramené en entrée du LNA.

I-3.2 Spécifications moyennes constatées

Le LNA, s'il possède un gain suffisant, est le contributeur majoritaire en bruit de la chaîne de réception. Les caractéristiques généralement observées et qui sont classiquement attendues d'un LNA afin qu'il remplisse ce rôle sont présentées en table I-3.1 ([8] entre autres).

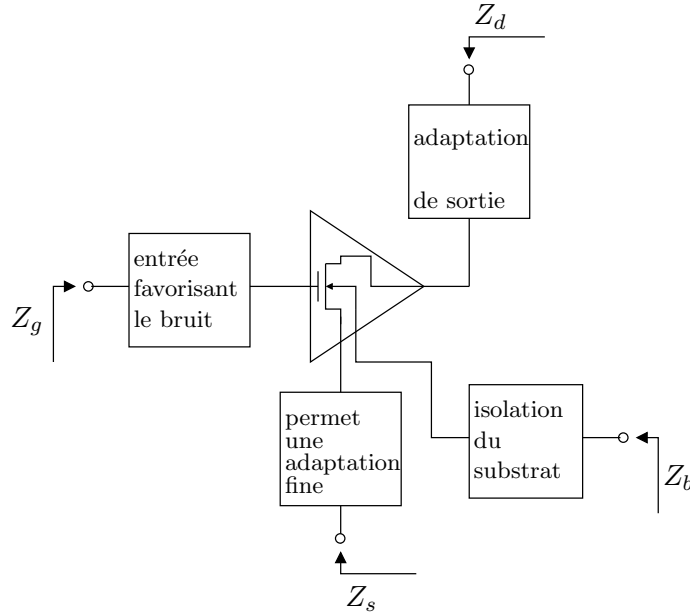


FIG. I-3.1 – Éléments critiques d'un amplificateur faible bruit

NF	2dB
IIP_3	-10dBm
Gain	15dB
Fréquence	2GHz
Impédance d'entrée et de sortie	50Ω
Taux de retour en entrée et en sortie	-15dB
Isolation inverse	20dB
Facteur de stabilité	>1

TAB. I-3.1 – Caractéristiques typiques d'un LNA

Les impédances d'entrée principalement mais aussi de sortie sont le plus souvent choisies égales à 50Ω car le LNA se trouve juste après l'antenne et doit donc être adapté en conséquence. Une exception reste possible en technologie intégrée dans le cas où la fréquence d'utilisation permet de négliger les pertes de ligne une fois à l'intérieur de la puce. Alors, dans cette optique, une désadaptation en sortie est possible et il convient d'adopter une vision courant-tension caractéristique de l'électronique analogique.

Le dernier paramètre du tableau, la stabilité, est particulier et prête à discussion. En effet, si les fonctions du LNA et de l'oscillateur diffèrent, leur modèle présente une structure identique. De ce fait, l'influence seule des éléments parasites peut amener l'amplificateur dans un fonctionnement en oscillation qui serait préjudiciable. Le critère de Stern ([9]) permet d'affirmer que le montage est *inconditionnellement stable* par rapport aux impédances de source et de charge si $K > 1$ et $\Delta < 1$ en

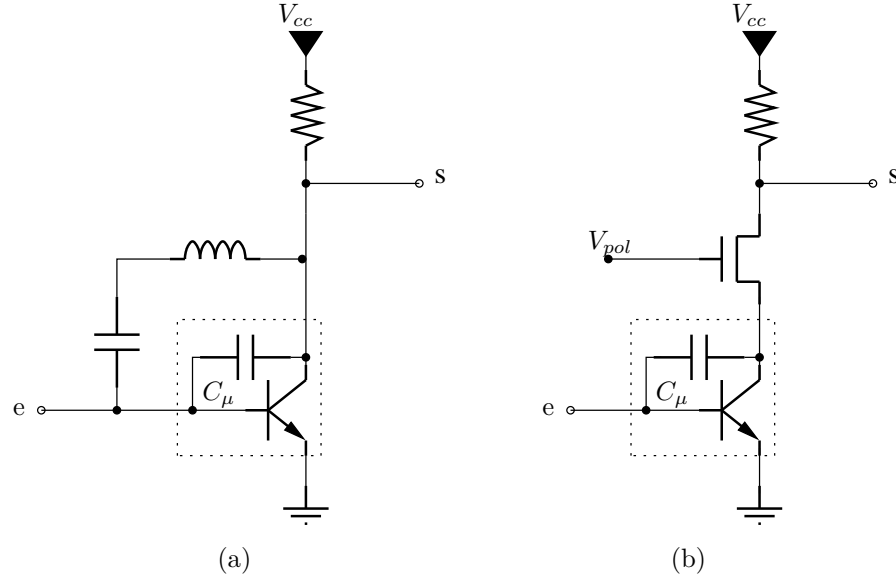


FIG. I-3.2 – Compensation de l'effet de réaction (a) par neutrodynage (neutralisation de la capacité parasite) et (b) par montage cascode

posant :

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}||S_{21}|}$$

et $\Delta = S_{11}S_{22} - S_{12}S_{21}$.

Il arrive toutefois que les LNA soient produits sans vérifier le critère précédent. Il convient alors de s'assurer que dans l'environnement de fonctionnement, celui-ci reste stable. Il s'agit alors des cas de stabilité conditionnelle étudiés en annexe B qui dépendent des impédances vues en entrée et en sortie ainsi que de la fréquence de fonctionnement. Cependant, en général, une solution est trouvée pour réaliser la stabilisation. Les efforts sont principalement portés sur la neutralisation de la capacité parasite C_μ qui effectue le bouclage parasite : soit par neutrodynage à l'aide d'une inductance (figure I-3.2-(a)), soit par l'emploi d'une configuration cascode (figure I-3.2-(b)) qui permet entre autre de s'affranchir de l'effet Miller.

Ces méthodes présentent l'avantage de permettre une stabilisation du montage pour toutes les valeurs possibles des impédances de charge et de source, mais elles peuvent être assez pénalisantes en terme de gain.

I-3.3 Étude des structures et des évolutions

I-3.3.1 Étude de l'évolution globale

Le LNA est avant tout un amplificateur, ce qui dans un schéma à transistors se traduit par une structure qui peut être à base d'émetteur commun ou de base commune (figure I-3.3). La première

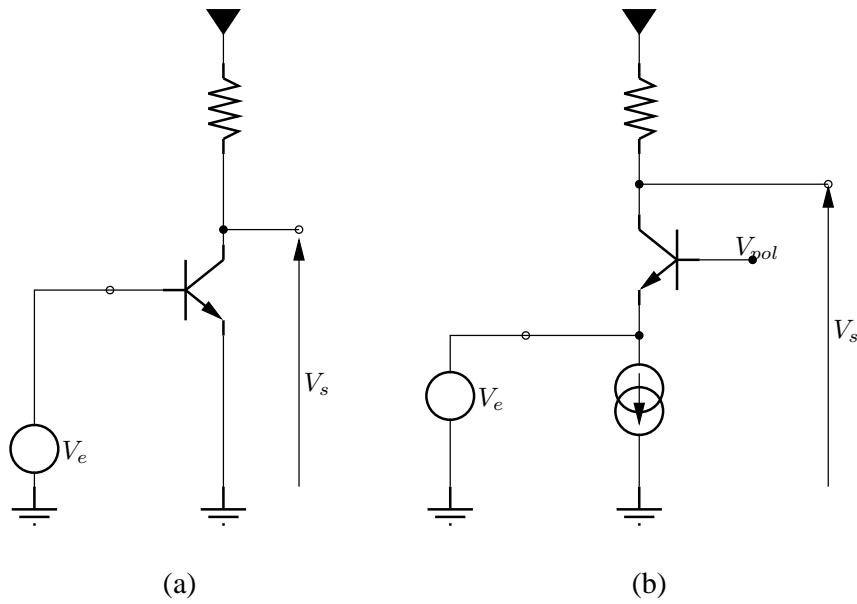


FIG. I-3.3 – LNA : un amplificateur avant tout (a)émetteur commun et (b)base commune

solution est prise pour son gain alors que la seconde présente une forte isolation inverse qui peut être recherchée dans les cas où la stabilité n'est pas assurée. L'inconvénient d'utiliser un amplificateur monté en base commune seul est son facteur de bruit minoré par $NF_{min} = 3/2 = 1.76dB$ ([8]) ce qui est bien supérieur aux valeurs obtenues par d'autres techniques (tableau I-3.2).

Un montage à deux étages peut alors être envisagé en accord avec la formule de Friis (équation I-3.1) et celle de l'intermodulation d'ordre trois (équation I-3.2) : le premier étage doit être optimisé vis-à-vis du bruit et le second vis-à-vis de la linéarité (fig. I-3.4). Cette dernière ainsi que la stabilité peuvent être assurées comme dans [10] par un bouclage direct ou en utilisant une structure cascode couplée par capacité ([11] et [12] en figure I-3.5). La structure cascode standard permet de plus, si les tensions d'alimentation disponibles le permettent, de partager le courant de polarisation et ainsi d'augmenter le rendement (figure I-3.14).

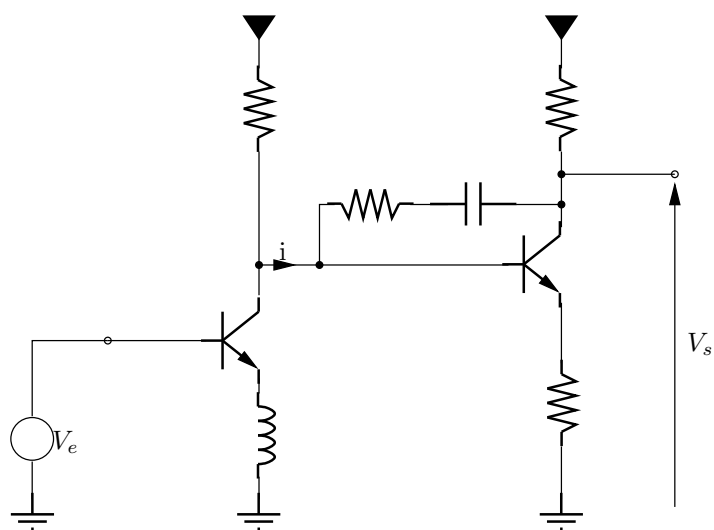


FIG. I-3.4 – LNA à deux étages ([10])

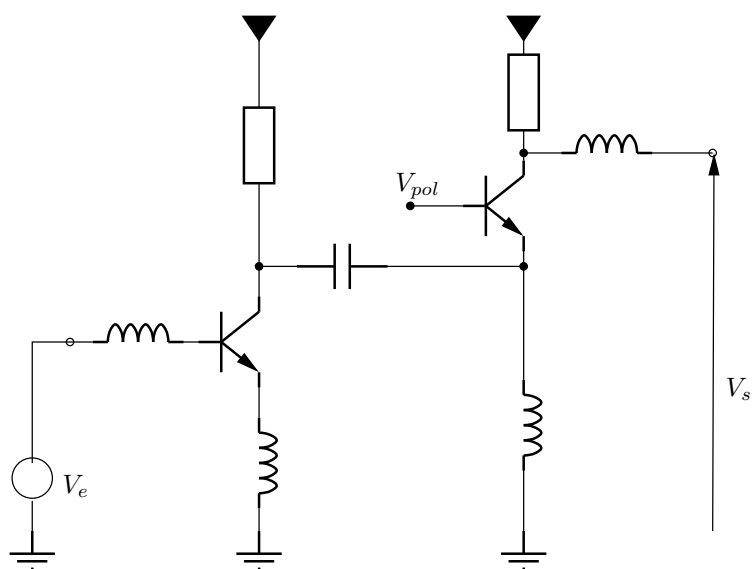


FIG. I-3.5 – LNA à montage cascode couplé par capacité ([11],[12])

Afin d'agir sur la linéarité, il est aussi possible d'utiliser un transformateur de façon à réaliser un vrai bouclage négatif (figure I-3.6). Cette solution n'est toutefois pas envisageable en technologie intégrée avec des longueurs d'ondes grandes devant les dimensions des circuits : en effet, un transformateur coplanaire spiralé ne possède en général qu'un faible facteur de qualité et un transformateur en lignes quart d'onde n'est possible que dans le cas où ces lignes sont suffisamment courtes. De plus, un tel usage des transformateurs dégrade le facteur de bruit même s'il reste utile pour l'amélioration des autres caractéristiques ([13]).

C'est pourquoi, la version modifiée du montage à transformateur est préférée. Elle consiste en la dégénérescence inductive de l'émetteur. Cette structure est parfaitement d'actualité grâce à ses bonnes performances et au fait qu'elle offre le meilleur compromis (*cf* par exemple, [15], [16]...). Elle est détaillée à la section I-3.3.2.

Il ressort des structures présentées précédemment que la conception et la réalisation de LNA passent obligatoirement par l'utilisation de structures simples de façon à ne pas dégrader le rapport signal à bruit. Toutefois, il peut s'avérer utile, dans le cas d'applications et de contraintes spécifiques et identifiées, d'envisager des structures plus complexes qui correspondent déjà à un début d'intégration du *front-end* radio sur une seule puce.

L'amélioration de la linéarité, bien que secondaire d'après la formule I-3.2, doit être prise en compte si peu ou pas d'étage suivent le LNA ([17]). Taniguchi *et al.* proposent un schéma qui permet d'améliorer le point de compression à 1dB avec un LNA qui bénéficie d'une double source de polarisation : une pour le grand signal et une pour le petit signal, la commutation entre les deux se faisant à l'aide d'un interrupteur commandé à diode (figure I-3.7).

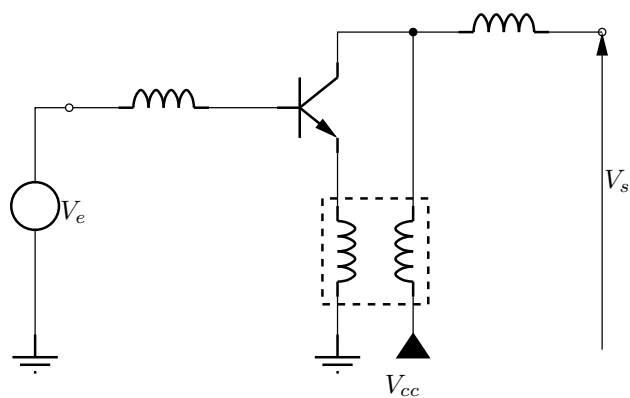


FIG. I-3.6 – LNA bipolaire incorporant un transformateur dans la boucle ([14])

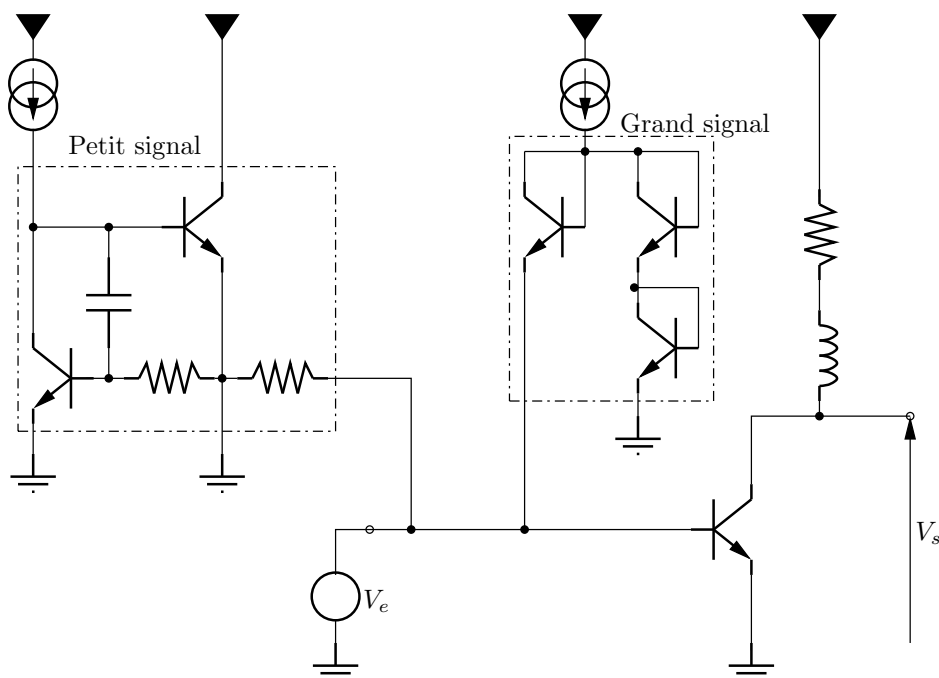


FIG. I-3.7 – LNA à double polarisation ([17])

Une solution à trois étages peut aussi être envisagée ([18]). Elle se présente sous la forme d'un LNA réalisé en technologie bipolaire à hétérojonction SiGe (HBT - *Heterojunction Bipolar Technology*), dont les trois étages sont montés en émetteur commun pour le premier avec dégénérescence inductive, en émetteur commun pour le second, réalisant un étage tampon, et en émetteur suiveur pour le dernier afin d'attaquer l'étage suivant avec une basse impédance.

L'autre caractéristique secondaire qu'il peut être nécessaire d'améliorer pour certaines applications est la bande passante. En effet, de nombreux montages présentés utilisent une adaptation d'impédance à l'aide de circuits résonants LC, ce qui limite la plage d'utilisation alors qu'une architecture permettant une bande passante de 15GHz en technologie SiGe HBT est réalisable ([19]). Pour cela, un seul étage monté en émetteur commun est utilisé avec une adaptation d'impédance résistive et un étage de bouclage constitué par un émetteur-suiveur. L'ensemble de ses caractéristiques sont présentées, comme pour les autres montages cités, dans le chapitre I-3.4, tableau I-3.2.

Pour finir, dans des applications de téléphonie mobile par exemple, un gain variable peut s'avérer utile de façon à permettre une limitation de l'influence du *spurious noise*. Les technologies BiCMOS proposent à cet effet des LNA à gain variable par pas discrets (voir section I-3.3.2). [20] offre à l'inverse une réalisation à l'aide de varactors en technologie InGaP HBT qui sont commandées par une source de courant variable constituée d'un transistor monté en émetteur suiveur ayant une diode connectée à son émetteur (voir figure I-3.8).

D'autres solutions sont exploitées par la technologie AsGa qui est aujourd'hui très fortement prisée dans le domaine hyperfréquence. Les MMIC (*Monolithic Microwave Integrated Circuit*) ont la particularité par rapport à l'électronique classique de prendre en compte la longueur d'onde. Les circuits incorporent alors des éléments d'adaptation réalisés à l'aide de lignes ([21]). La technologie utilisée est aujourd'hui majoritairement la technologie PHEMT (*Pseudomorphic High Electron Mobility Transistor*) car elle présente l'avantage d'un faible bruit et de fréquences de travail plus élevées ([22]). Toutefois, un tel procédé n'est utile que pour la réalisation de fonctions simples, avec peu de transistors, les variations de procédé étant grandes et la reproductibilité des tensions de seuil faible.

En dehors de ces particularités de procédé, les architectures sur substrat AsGa restent celles vues précédemment avec des cascodes ([23]), des dégénérescences inductives ([22]), des retours résistifs ([24]) et des LNA bi-étage ([21]). Toutefois, [25] présente une méthode particulière exploitant les trois dimensions de l'espace dans ses réalisations. Bien que l'idée soit inhérente aux technologies utilisées, on pourra s'en inspirer en MOS. Enfin, [26] propose une amélioration du montage cascode simple. Elle consiste en la mise en parallèle de deux transistors montés en source commune avec dégénérescence inductive (voir figure I-3.9). L'avantage principal mis en avant est le fait qu'avec un transistor supplémentaire le nombre de degrés de liberté augmente ce qui permet de mieux régler les caractéristiques du LNA en fonction des demandes. À l'inverse, le bruit croît ce qui empêche de développer ce procédé.

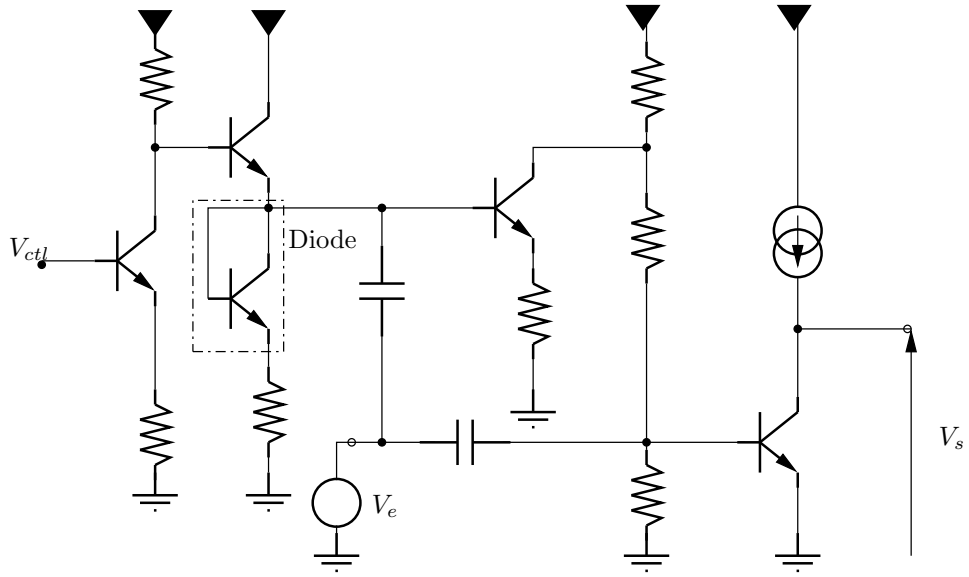


FIG. I-3.8 – LNA à gain variable ([20])

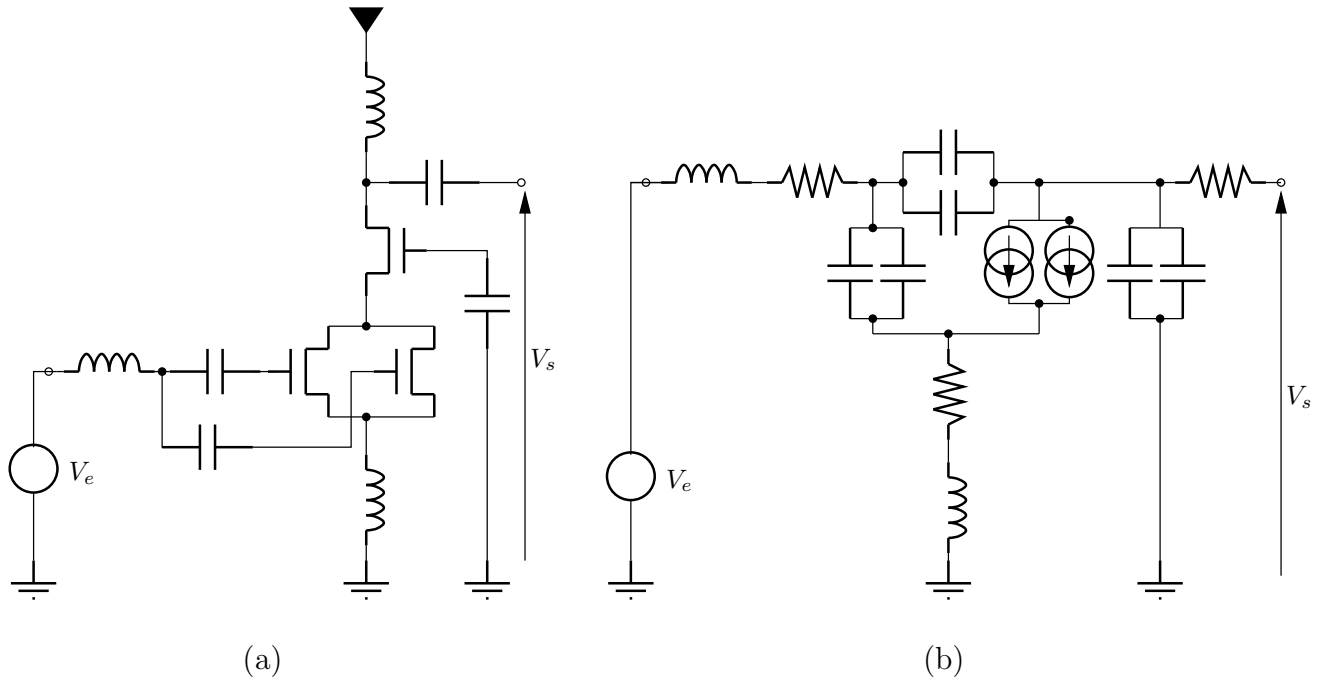


FIG. I-3.9 – (a)LNA cascodé à double transistor dans l'étage d'entrée ([26]) et (b)schéma équivalent

I-3.3.2 Cas spécifique de l'utilisation des MOS

Longtemps l'utilisation des transistors MOS pour la réalisation de LNA s'est cantonnée à des tâches annexes, principalement à cause de leur faible fréquence de transition, à leur bruit basse fréquence important (bruit en $1/f$) transposé autour de la fréquence de travail par les non-linéarités et à leur bruit de canal dépendant du gain et des dimensions. A titre d'exemple, la technologie BiCMOS a surtout été utilisée pour traiter deux points :

- la polarisation : [9] et [10] sont des exemples où le transistor MOS n'est utilisé que pour polariser le bipolaire qui réalise la fonction.
- le traitement en moyenne et basse fréquence : la technologie BiCMOS a été utilisée pour concevoir sur une même puce la partie *front-end* et la partie traitement du signal. Les transistors MOS intervenaient alors dans la deuxième partie et étaient souvent utilisés dans la numérisation du signal. Des LNA ont été réalisés en technologie BiCMOS et la partie MOS utilisée pour commuter le mode de fonctionnement (figure I-3.10 selon [27] ou [28]). Cela permet des caractéristiques variables, par pas discrets, ce qui s'avère fort utile en téléphonie mobile, par exemple où, proche de la station de base, la linéarité est le facteur le plus important du LNA (afin de ne pas générer de produit d'intermodulation) alors qu'à distance élevée le gain importe plus. Dans la première référence, le transistor MOS est utilisé en interrupteur pour court-circuiter une résistance de rebouclage et dans la seconde, le transistor MOS sert à contrôler la source de courant de polarisation du bipolaire traitant le signal.

Grâce à l'augmentation de la fréquence de fonctionnement des transistors MOS due à la réduction de leur longueur de grille prévue par Moore, la technologie CMOS sert aujourd'hui pleinement à la réalisation de LNA. À partir d'un montage amplificateur en source-commune, avec une charge résistive, présenté en figure I-3.11, le calcul montre que puisque la transconductance du transistor MOS est relativement faible, les bruits générés par la résistance et par l'étage suivant sont les contributeurs majoritaires. Comme en technologie bipolaire, on remplace donc la résistance par une source de courant constituée par un MOS canal P (figure I-3.12-(a) ou [29]). En fait, le transistor canal P contribue aussi au bruit mais le bruit global ramené en entrée est diminué s'il participe à l'amplification (figure I-3.12-(b) selon [30]). Il est alors nécessaire de mettre en place une boucle de régulation en courant afin que la polarisation du transistor P ne dépende plus de la tension d'alimentation. La figure I-3.13 ([30]) présente une solution qui réutilise le courant de polarisation afin de présenter une transconductance équivalente $g_{m1} + g_{m2}$. En pratique ce dernier circuit est suivi par un second étage identique afin de présenter une impédance de sortie adaptée.

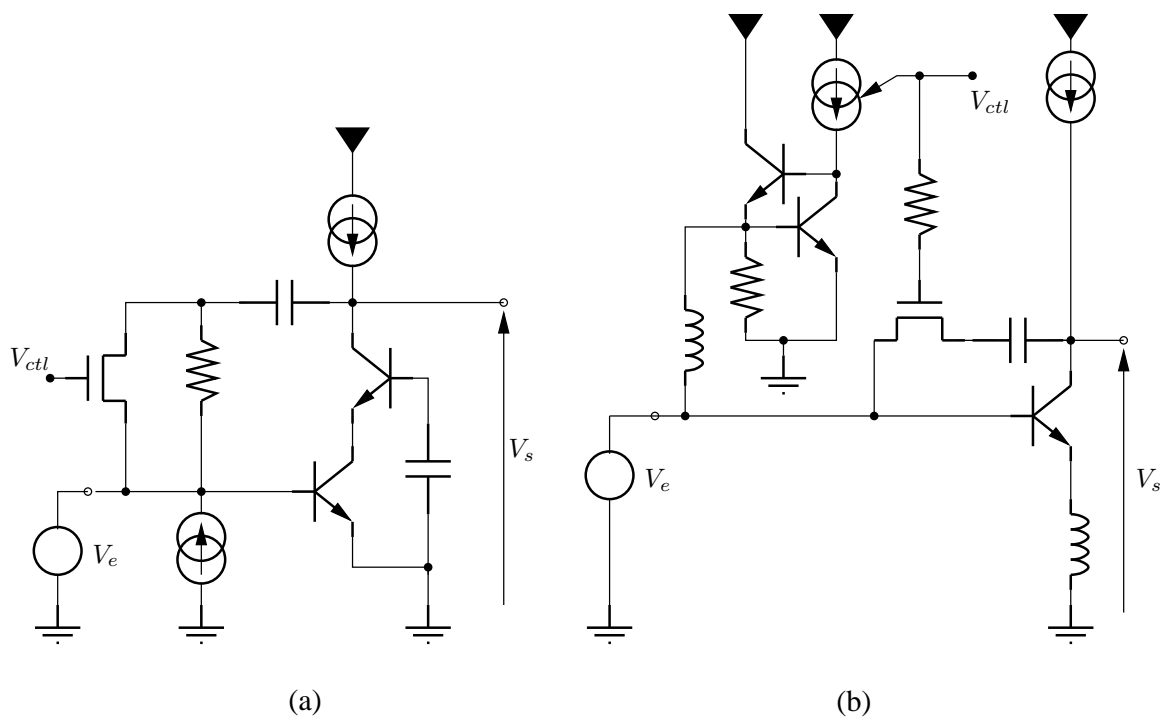


FIG. I-3.10 – LNA utilisant les MOS en commande (a)[27] et (b)[28]

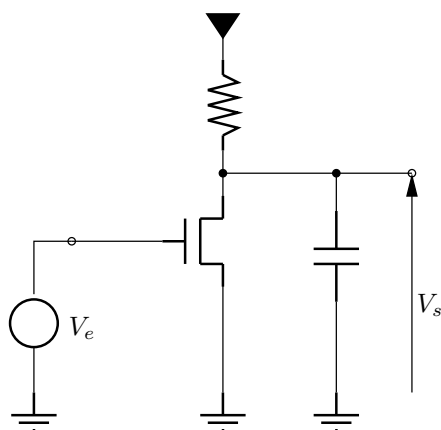


FIG. I-3.11 – Amplificateur NMOS avec charge résistive

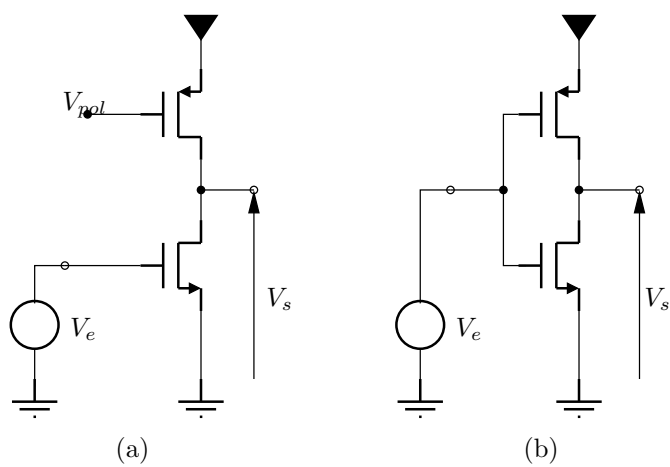


FIG. I-3.12 – (a) Amplificateur avec charge active et (b) utilisation de la source comme amplificateur

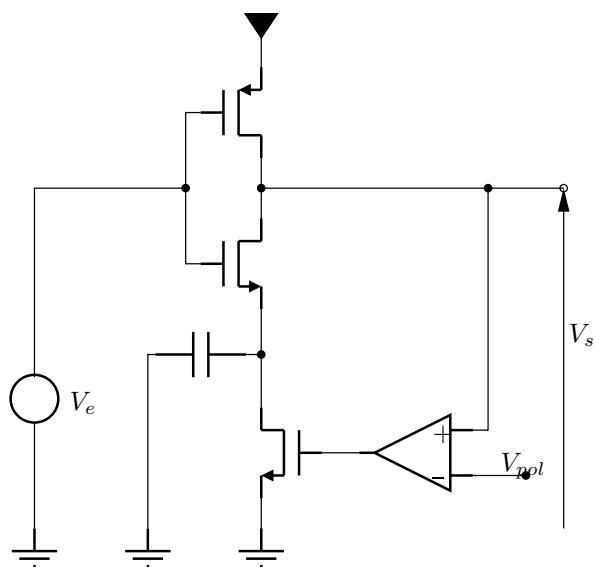


FIG. I-3.13 – Asservissement du courant de polarisation [30]

Il est aussi possible de remplacer la résistance par des réseaux d'adaptation en entrée et en sortie qui permettent à la fois un transfert de puissance optimum et une polarisation grâce à une source tension-courant. L'étage actif sera alors de préférence de type source-commune car plus efficace qu'un montage source-suiveur. Le premier offre en effet un gain $g_m R_L$ alors que le second présente $\frac{R_L}{1+g_m R_L}$. La perte est alors d'un facteur deux dans le cas où $g_m \approx 1/R_L$ si l'on utilise le montage source-suiveur.

À partir de cette base, la solution la plus prisée actuellement ([8], [31], [32], [30], [33], [34]) est la dégénérescence inductive de la source afin de contrer les effets de la capacité d'entrée (grille-source). Cette technique, issue de la technologie AsGa, est en cours de migration vers les procédés MOS pour les utilisations en réception à bande étroite. Elle permet d'avoir une impédance d'entrée réelle et une adaptation sur 50Ω aux fréquences désirées.

Comme le montre l'équation I-3.3, donnant l'impédance d'entrée de la figure I-3.14 en négligeant les capacités avec le substrat, l'inductance L de dégénérescence est ramenée en entrée via le gain g_m autorisant une valeur plus faible pour le même effet. Toutefois, au delà d'une certaine fréquence dépendant de la technologie et des composants, les inductances sont du même ordre de grandeur que celles des fils de *bond wire*. On trouve d'ailleurs dans la littérature des réalisations à titre expérimental de LNA utilisant directement ces *bond wire* comme inductances externes. De plus, les inductances de source peuvent alors être trop faibles pour être réalisées. Enfin, la meilleure linéarité des montages utilisant cette technique se fait au détriment du gain. Chaque situation doit donc être étudiée en fonction des propriétés des transistors et de la technologie.

$$Z_{in} \approx \frac{g_m L}{C_{GS}} + L.s + \frac{1}{C_{GS}.s} \quad (\text{I-3.3})$$

Par contre, le deuxième transistor cascodé joue, comme en bipolaire, un rôle important en augmentant l'isolation inverse du LNA. Ainsi, une telle configuration pourra être utilisée avec un récepteur homodyne ([35]). En effet, la même structure utilisée sans cascode constitue un bon oscillateur (voir chapitre I-4). Cette architecture de LNA présente les meilleures caractéristiques actuelles en terme de bruit ([8]), au dessus des architectures de type grille commune ou boucle résistive : à la fréquence de résonance, on peut écrire ([35]) :

$$F = 1 + \gamma g_{d0} R_s \left(\frac{\omega_0}{\omega_t} \right)^2$$

Ce circuit est suivi dans [8] par un autre similaire afin de pouvoir être chargé par 50Ω . La configuration alternative présentée en figure I-3.15 offre de plus l'avantage de posséder deux étages qui partagent le même courant de polarisation ([36]).

Que ce soit dans le cas du montage cascode ou dans ce dernier montage, selon les valeurs de la résistance et des capacités situées entre les deux transistors, la technique présentée dans [31] utilisant un MOS double grille pourra être envisagée. Elle permet de diminuer l'effet des diodes parasites en réduisant la surface de celles-ci. D'après les simulations effectuées dans [31], un gain supplémentaire de $1.2dB$ et une diminution de facteur de bruit de $0.7dB$ pourraient être atteints dans le montage cascodé.

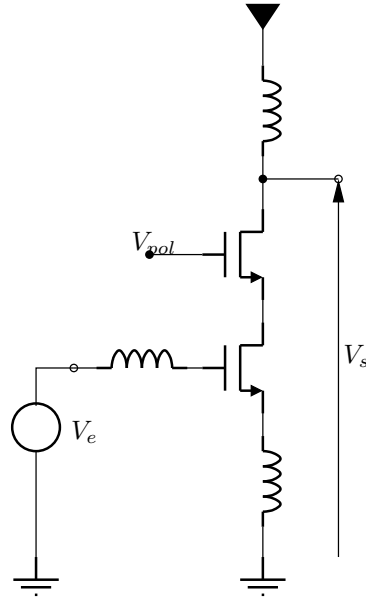


FIG. I-3.14 – LNA optimum en technologie MOS vis-à-vis de l'adaptation d'impédance [8]

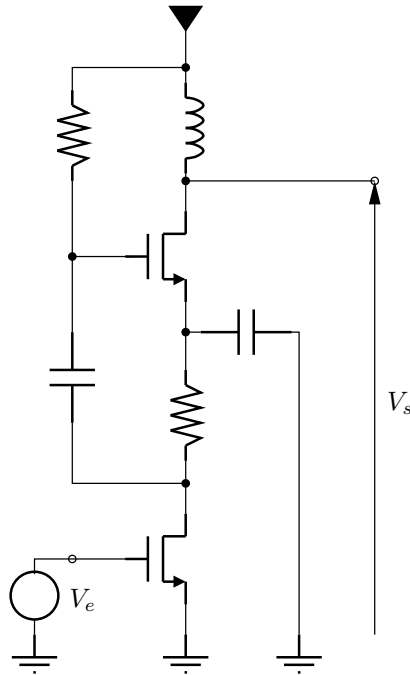


FIG. I-3.15 – LNA MOS à deux étages et réutilisation du courant de polarisation [36]

Tout comme en bipolaire, les montages grille-commune sont envisageables. Toutefois, ils présentent un facteur de bruit $F = 1 + \frac{\gamma}{\alpha}$ où $\alpha = \frac{g_m}{g_{d0}}$ avec g_m la transconductance, g_{d0} la conductance de drain

sans courant de polarisation ([8]). Ce facteur montre qu'en présence d'électrons chauds, ce type de montage reste bruyant.

Il existe des solutions à base de boucle de retour résistive ayant l'avantage par rapport aux bouclages LC d'offrir une solution large bande ([8]). Toutefois, elles nécessitent des procédés de fabrication de résistances intégrées d'une qualité difficilement accessible dans les technologies CMOS.

I-3.3.3 Comparaison sommaire entre LNA MOS et bipolaire SiGe

Une analyse comparative entre les LNA en technologie CMOS et en technologie SiGe est présentée dans [37]. Les architectures dans ces deux technologies sont quasiment identiques ce qui permet une comparaison aisée des résultats.

La première différence concerne le réseau d'adaptation d'impédance situé en entrée. Ce dernier est réalisé en technologie SiGe par un schéma en L. Or celui-ci n'est pas reproductible en MOS de par l'importance des capacités parasites de substrat. Une adaptation en Pi est alors souvent adoptée en remplacement. L'effet de cette dernière est d'augmenter légèrement le coefficient de qualité Q ce qui peut s'avérer gênant pour des applications large bande.

Les essais réalisés dans [37] montrent que des performances similaires voire meilleures peuvent être obtenues en technologie CMOS à condition de disposer d'un courant de polarisation supérieur de 15%.

À l'inverse, le passage d'une technologie bipolaire à une technologie MOS est souvent lié, dans le même temps, à une intégration sur le substrat des inductances. Plusieurs ouvrages ([37], [38]...) montrent qu'alors, les effets mutuels peuvent être générateurs de bruit. Ceci nécessite de relativiser la comparaison entre les technologies bipolaire et MOS.

I-3.3.4 La technologie SOI : un cas particulier de technologie MOS

Dans la familles des Métal-Oxyde-Semiconducteurs, une branche particulière se distingue : celle du SOI (*Silicon On Insulator*). Elle présente l'avantage de réduire le bruit généré par le couplage au substrat ([39]). Les facteurs de qualité Q peuvent alors être plus élevés dans la réalisation d'inductances sur substrat. En ce qui concerne les transistors MOS sur SOI, ils ne subissent plus les effets de seconde grille générés habituellement par le MOS parasite du substrat. De plus, les technologies SOI présentent des tensions d'alimentation plus faibles ($\approx 1V$) pour des vitesses de fonctionnement plus élevées ([40]). [41] donne les performances d'un montage classique cascode avec dégénérescence inductive de la source réalisé en technologie SOI.

Une sous-famille encore plus complète du SOI est le SOS (*Silicon On Sapphire*) proposée essentiellement par Peregrine Semiconducteurs. La littérature présente un modèle petit signal avec paramètres extraits ainsi que des perspectives d'avenir concernant l'utilisation très prochaine de cette technologie dans les applications numériques de par les faibles tensions d'alimentation et les grandes fréquences de transition ([42],[43]) : jusqu'à 35% de baisse de consommation pour une vitesse 51% supérieure dans un DSP ([44])

I-3.4 État de l'art des LNA

En réalité, il existe peu de sortes de LNA différentes, et ce, quelle que soit la technologie employée. Elle peuvent se classer en quatre gands types d'architectures ([8]) qui sont les LNA :

- à terminaison résistive
- à terminaison en $1/g_m$
- à bouclage par shunt
- à dégénérescence inductive

Le récapitulatif des LNA existants, avec leurs principales caractéristiques, leurs architectures et leurs technologies de fabrication, est présenté dans le tableau I-3.2.

Les architectures correspondent aux descriptions suivantes :

- 1 Cascode
- 2 Cascode séparé avec couplage par capacité
- 3 Dégénérescence inductive
- 4 Gain variable
- 5 Boucle de retour négative indirecte
- 6 Double polarisation
- 7 Boucle de retour négative résistive
- 8 Trois étages
- 9 Boucle de retour négative inductive
- 10 Double transistor sources communes
- 11 Source active
- 12 Deux étages
- 13 Inductance active

Cette première étude bibliographique permet de conclure que la structure des LNA doit rester simple. Les deux paramètres qu'il est indispensable de soigner sont le bruit et le gain : la notion de bruit seule ne peut qu'amener aux aberrations mises en évidence par la formule de Friis (eq. I-3.1).

La simplicité du schéma des LNA ne doit pas faire oublier que sa réalisation n'est pas dissociable de celle de ses éléments constitutifs. La structure la plus adaptée à un besoin doit donc être recherchée, tant en terme de performances que de place occupée ou encore de reproductibilité.

Auteur [Ref.]	NF(dB)	Gain(dB)	$1/P_3/ - 1dB$ (dBm)	Puissance (mW)	f_0 (GHz)	V_{cc} (V)	Architecture	Technologie	Année
Voinigescu [45]	4.2	7		7.7	5.8	3.5		Si BJT	1997
Schuppener [46]	3.8-4.2	11-14		18-44	5.8	2-3.3		Si BJT	1999
Adiseno [13]	3.7	25	-5/		1.4	2.7	5	Si BJT	1999
Ray [11]	2.3	10.9	-3.7/-17	4	1.9	1	2	Si BJT	1999
	2.1	11	-7.9/-13.5	4	1.9	2	1	Si BJT	1999
Ono [47]	3.3	6.9		9	5.8	3		Si BJT	1999
Aoki [20]	1.4	15max	3.4/	36	1.95	3	4	InGaP HBT	2001
Tsang [12]	4	11.5	/-19	6.6	5.8	1	2+3	Si BJT	2001
Long [48]	1.75	11	-4.5/	2.5	2.4	1	1	SiGe HBT	1996
Soyuer [49]	2.1	6.9		13	5.8	1		SiGe HBT	1997
Wang [50]	1.6	12	8/	20.62	2.5	2.75	3	SiGe HBT	2001
Taniguchi [17]	2	14.8	0.2/4.5		2.1		6	SiGe HBT	2001
Knapp [19]	2.8	12	1.9/-7.6	23.75	15	3.3	9	SiGe HBT	2001
Schuppener [18]	4.1	21		50	23	2.5	3+8	SiGe HBT	2001
Nakatani [27]	1.4	15.3	1.6/	16.52	2.1	2.8	1+7	SiGe HBT	2001
	1.6	13.3	-0.6/	8.4	2.1	2.8	1+7	SiGe HBT	2001
	1.5	-1.5	16.1/	<0.028	2.1	2.8	1+7	SiGe HBT	2001
Schmidt [51]	1.2	17	-9/	13.5	0.9	2.7	1	SiGe HBT	2001
Shana'a [52]	1.3	17	-2/	12.15	1.8	2.7	1	SiGe HBT	2001
Li [37]	2.88	15.9	-2.6/-11.2		2.45		1+3	SiGe HBT	2001
Liang [53]	1.15	18	15.8/	12.75	2	1.7	1+3	SiGe HBT	2002
Lee [15]	1.2	16	8.45/-10	24	2	3	3	SiGe HBT	2002
Aparin [28]	1.4	15.3	8.7/	14.6	2	2.7	3	SiGe HBT	2002
Ko [54]	2	17			1.57		1	SiGe HBT	1997
Martins [22]	2.01	9.23		15.78	1.9	3	3	AsGa PHEMT	1999
Luqueze [21]	3	14		105	16-25	3	3	AsGa PHEMT	1999
Nakagawa [24]	4	20	19/	390	1.9	3	7	AsGa PHEMT	2001
Kumar [55]	1	15	7.3/-6	25.5	2.14	3	1	AsGa PHEMT	2002
Morkner [56]	1.4	14	1-15/	15-180	0.8-8	3	7	AsGa PHEMT	2002
Malvern [23]	2.3-7	7.8	1-15/	1000	2-18	5	1	AsGa PHEMT	2002
Nishikawa [25]	3.3	15		62	50-60	2.5	2+3	AsGa PHEMT	2002
Ock [26]	1.6	17	8.5/	4.7	0.9	2.7	1+3+10	AsGa MESFET	2002
Shaeffer [8]	3.5	22	-9.5/-22	30	1.5	1.5	1	CMOS 0.5	1997
Kim [57]	2.8	15		54	1.9	3.6	2	CMOS 0.8	1998
Runge [58]	4-5	<5		14-112	5.8	3.3		CMOS 0.35	1999
Rafla [59]	2.5	22	-10/	12	2.5	1.5		CMOS 0.35	1999
	3	18	-10/	12	3	1.5		CMOS 0.35	1999
Floyd [60]	1.8	10	-2.8/	8	0.9	3		CMOS 0.8	1999
Li [61]	2.4	19		9	2.4	3	1+3	CMOS 0.5	1999
Floyd [62]	1.2	14.5	-1/	30	0.9		1	CMOS 0.35	2000
Rafla [63]	3	10	2/	20	5.8	2	1+3	CMOS 0.25	2000
	3	6.5	5.5/	20	3	2	1+3	CMOS 0.25	2000
	2.5	8	1.5/	20	2.4	2	1+3	CMOS 0.35	2000
Sharaf [64]	3	12.2	-21/	17	1	2	1+3+13	CMOS 0.5	2000
	3	10.7	-3.8/	16	1	2	1	CMOS 0.5	2000
Gramegna [65]	1.75	10	3/	27	0.9	2.7	1	CMOS 0.35	2000
Gramegna [66]	1.0	13	-1.5/	8.6	0.92		1	CMOS 0.35	2001
Leroux [67]	2.1	17		9.6	5.2	1.5	1+3	CMOS 0.35	2001
Huang [68]	3	19.8	4.5/-4.7	22.4	2.4	2	1+3	CMOS 0.35	2001
Yang [38]	2.2	15	1.3/-18	7.2	2.4	3.3	1+3	CMOS 0.25	2001
	2.4	20	-3.4/-21	4.8	2.4	3.3	1+3	CMOS 0.25	2001
Fouad [29]	2.74	21.6	-21.5/	20.3	1	2.2	1+3+11	CMOS 0.5	2001
	2.9	18.5	-18.8/	29.2	1	2.2	1+3+11	CMOS 0.5	2001
Li [37]	2.88	15.1	2.2/-7		2.45		1+3	CMOS 0.25	2001
Liu [69]	3.2	7.2	6.7/-3.7	20	5.8	1.3	3+12	CMOS 0.35	2002
Jin [39]	4.4	19.6		7	1.8	1.5	1+3	SOI 0.6	1999
Jin [40]	1.9	14	3/	10.6	1.9	1	2+3	SOI 0.5	2000
Lagnado [42]	2.2	11	3/	13.2	2.4	1.5		SOS 0.25	2000
Tinella [41]	3	13.4	0/-15	4.5	2.5	1	1+3	SOI 0.25	2001
Floyd [70]	10	7.3	-7.8/-16.2	79.5	26	1.5	8	SOI 0.1	2002

TAB. I-3.2 – Les LNA et leur évolution

Chapitre I-4

Les oscillateurs libres et commandés

I-4.1 Définition et utilité

L'importance de la synthèse de fréquence a déjà été justifiée en première partie. Comme il a été précisé, ces systèmes sont souvent une combinaison d'un système de génération proprement dit et d'un mécanisme de régulation et de commande. L'oscillateur commandé devra pouvoir osciller sur une plage de fréquence adaptée à l'application. Le mécanisme de régulation devra quant à lui être précis et rapide en limitant les parasites sur l'oscillateur.

Les domaines de l'électronique, de l'automatique et de l'asservissement se rejoignent pour la conception de cet étage : le premier concerne la réalisation des structures et les seconds celui de l'approche des systèmes.

I-4.2 Oscillateurs

I-4.2.1 Principes de base

L'oscillateur est la brique de base de tout système de synthèse et peut être défini comme un mécanisme auto-entretenu qui fait croître une partie de son bruit afin qu'elle devienne un signal périodique de fréquence non nulle. Cette description correspond à la vision du système bouclé présentée en annexe B.2. Il s'agit alors de vérifier que le gain de l'ensemble est suffisant pour assurer l'entretien du signal.

Mathématiquement, l'étude des pôles de la fonction de transfert du système bouclé permet de déterminer la fréquence d'oscillation. L'amplitude reste constante si le pôle considéré est imaginaire pur. Si l'on a à faire à un système de fonction de transfert en boucle ouverte H , le critère de Barkhausen donne une condition nécessaire à l'existence d'oscillations

$$|H| = 1, \angle H = \pi[2\pi]$$

En fait, outre cette vision à deux ports des oscillateurs, il existe une autre façon de les appréhender. Ils peuvent être envisagés comme la connexion de deux circuits un port. Dans ce cas, un des circuits sera le résonateur modélisé par un circuit R, L, C parallèle et l'autre sera un circuit chargé de compenser la résistance parallèle parasite du premier. Cette manière de considérer le problème n'est

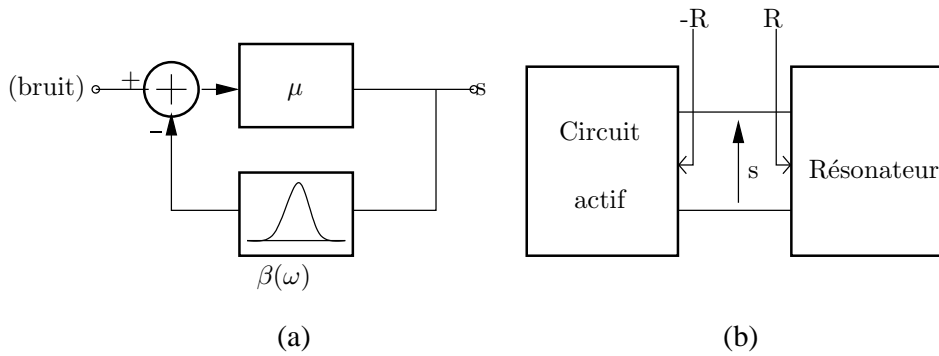


FIG. I-4.1 – Principe de l'oscillateur à deux ports (a) et à un port (b)

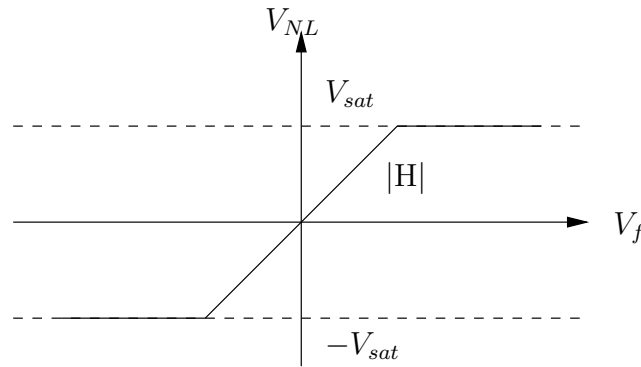


FIG. I-4.2 – Fonction de transfert H du VCO

qu'une autre modélisation. Elle peut, comme tout outil, s'avérer utile pour le dimensionnement des éléments constitutifs.

I-4.2.2 Approches à deux ports : méthode analogique

Le système représenté en figure I-4.1-(a) peut être formalisé mathématiquement. β est la fonction de transfert de la boucle de retour, linéaire et dépendant de p . Cette boucle est inverse, c'est à dire que la tension V_f présente à l'entrée de l'amplificateur μ est la différence entre l'entrée du système et la tension de sortie de β . $H = \beta\mu$ est la fonction de transfert en boucle ouverte, non linéaire. Elle peut alors être représentée par le schéma figure I-4.2.

Condition d'oscillation : La condition d'instabilité d'un système bouclé est $H = -1$. Ceci se traduit par deux conditions qui sont une partie réelle négative et une partie imaginaire nulle pour p , pôle de la fonction de transfert. Un manquement à la première condition empêche les oscillations alors qu'une partie imaginaire non nulle crée des oscillations amorties. En pratique la condition à vérifier sera $|H| \geq 1$ car la valeur 1 caractérise les oscillations stabilisées, et constitue obligatoirement un point d'arrêt (point fixe).

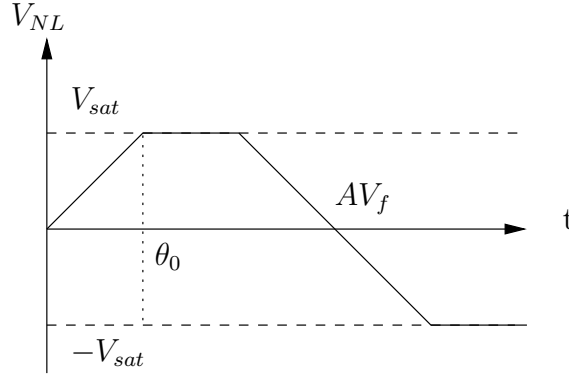


FIG. I-4.3 – Effet de la saturation sur le bouclage dans le VCO

Hypothèse du premier harmonique : La difficulté dans la caractérisation des oscillateurs vient non du calcul de la fréquence d'oscillation, qui découle directement de la fonction de transfert mais de l'estimation de l'amplitude. En effet, celle-ci est uniquement limitée par les non linéarités du système. L'hypothèse du premier harmonique est une solution pratique pour obtenir un ordre de grandeur applicable lorsque β est sélectif. En effet en posant N le gain sur le premier harmonique, la condition d'oscillation devient $N\beta = -1$. Alors si $V_f = V \sin \omega t$, V_{NL} suit la loi de la figure I-4.3.

D'où l'on tire

$$N = \frac{2A}{\pi} \left(\theta_0 + \frac{\sin 2\theta_0}{2} \right)$$

et

$$V_{NL1} = \frac{2}{T} \int V_{NL} \sin \omega t dt = \frac{4}{\pi} \int_0^{\theta_0} AV \sin^2 \theta d\theta + \int_{\theta_0}^{\pi/2} AV \sin \theta_0 \sin \theta d\theta$$

La condition d'oscillation donne alors ω_0 et N donc V (connaissant A). Le cas échéant, les amplitudes peuvent être limitées volontairement (à l'aide de diodes par exemple) de façon à ne pas avoir de non linéarité parasite.

Problème de l'adaptation d'impédance : Contrairement à l'approche fonctionnelle, il faut tenir compte dans les calculs des fonctions de transfert de circuits électroniques des impédances d'entrée et de sortie des blocs car ces ports sont physiques. En particulier les calculs des conditions de démarrage et d'oscillation doivent se faire en rajoutant aux éléments idéaux des modélisations des impédances. De plus, il faut, le cas échéant, prendre en compte la désadaptation et faire l'adaptation de façon à conserver du gain. En particulier, l'utilisation d'oscillateurs avec un élément actif à faible gain est possible lorsque le réseau d'adaptation est élevé (Cas de l'oscillateur ECO - *Electrons Couplage Oscillator*).

Stabilité des oscillateurs : La définition de la stabilité des oscillateurs est donnée par la stabilité de l'amplitude des oscillations ([71, page 198]). Mathématiquement, la stabilité est assurée en les points (ω_0, A) définis par le critère de Loeb :

$$\left[\frac{\overrightarrow{d\beta(j\omega)}}{d\omega} \wedge \frac{\overrightarrow{d(1/\mu(A))}}{dA} \right]_z \geq 0 \quad (\text{I-4.1})$$

où A est l'amplitude de l'oscillation et en repérant les vecteurs dans l'espace à trois dimensions rapporté au trièdre de référence formé par le plan complexe et un troisième axe perpendiculaire.

I-4.2.3 Approche à un port : méthode hyperfréquence

Cette méthode est fondée sur le fait qu'un circuit accordé, une fois excité va osciller sans s'arrêter s'il n'y a pas d'élément dissipatif. L'objectif de cette approche est donc la maximisation des transferts de puissance par la suppression des parties résistives. Pour cela, deux réseaux à un port mis en vis-à-vis seront dimensionnés de façon à ce que la résistance négative de l'un (réseau actif) annule la résistance physique de l'autre (réseau passif).

Dans le cas d'une résonance série les conditions d'oscillation se traduisent donc par les équations suivantes :

$$R_g + R_l = 0$$

$$X_g + X_l = 0$$

et dans le cas d'une résonance parallèle,

$$G_g + G_l = 0$$

$$B_g + B_l = 0$$

En pratique toutefois, comme dans le cas de l'approche analogique, les conditions de démarrage doivent être plus fortes ce qui amènent à augmenter de 20% environ la valeur de la résistance négative ([72]).

La méthodologie pratique de conception découle alors directement de ces formules, en appliquant les méthodes d'adaptation d'impédance et de linéarisation présentées dans le cas des LNA.

I-4.2.4 Oscillateurs numériques : oscillateur à relaxation

Ce type d'oscillateur est particulier dans la mesure où il peut être vu comme un réservoir qui se charge et se décharge et non plus comme un filtrage via une boucle de rétroaction. L'exemple naturel et typique d'un tel oscillateur est le montage astable, générant de surcroît un signal presque carré. Le précurseur des oscillateurs numériques actuels est le multivibrateur de Abraham et Block présenté en figure I-4.4.

I-4.2.5 Structures analogiques classiques

En passant de l'approche système à l'approche physique, il a été montré que d'une part une adaptation d'impédance et d'autre part un rebouclage étaient nécessaires. Ces deux fonctions sont réalisées entre la sortie du filtre et l'entrée de l'amplificateur et maximisent le transfert de puissance. Or, il est facile d'apporter des degrés de liberté au réseau de filtrage qui peut alors se comporter aussi en réseau d'adaptation. Les trois oscillateurs analogiques classiques présentés ici suivent cette idée.

Oscillateur de Colpitts

L'oscillateur de Colpitts réalise l'adaptation d'impédance et le bouclage en se servant d'un pont diviseur capacitif (figure I-4.5).

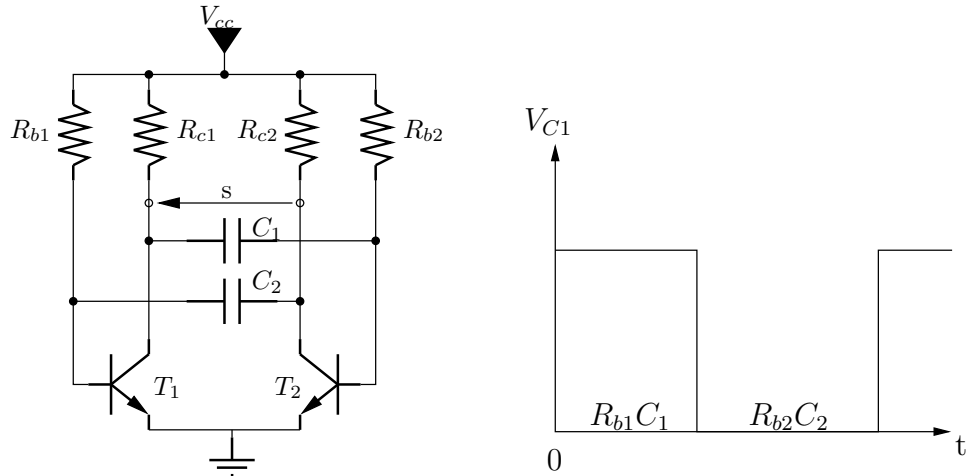


FIG. I-4.4 – Multivibrateur d'Abraham et Block

Oscillateur de Hartley

L'oscillateur de Hartley reprend le même principe que le précédent mais en rebouclant en un point milieu de l'inductance. Si cette solution peut poser des problèmes en solution intégrée à cause du coût du mm^2 de silicium, elle reste une alternative à ne pas négliger surtout avec les avancées récentes en terme d'inductances tridimensionnelles qui offrent une sortie potentielle ([34]).

Oscillateur de Clapp

Le principal problème des oscillateurs de Colpitts ou de Hartley est leur faible stabilité d'oscillation, ce qui se traduit par un fort bruit de phase. En effet, selon Stern, le déphasage de boucle doit être de π radians à la pulsation d'oscillation soit 0 rad dans l'amplificateur et π rad dans la réaction. Alors, si le déphasage de l'amplificateur passe à ϵ , la fréquence des oscillations se déplace de façon à ce que le déphasage global passe à π soit à ω' telle que $\phi = \pi - \epsilon$. Il s'ensuit que plus la pente de la phase du réseau de réaction est forte en fonction de la fréquence plus le système est stable.

L'oscillateur de Clapp en rajoutant une capacité en série avec l'inductance de l'oscillateur de Colpitts améliore la pente et donc le bruit de phase. De plus, la fréquence d'oscillation peut aisément être commandée en agissant directement sur la valeur de la capacité C_v pour faire varier la fréquence du filtre (voir figure I-4.6).

Oscillateurs différentiels

L'annexe A rappelle l'intérêt de pouvoir générer des signaux différentiels (réception classique) ou en opposition de phase (mélangeur à réjection de fréquence image) de façon à limiter les variations du processus technologique. Les structures se construisent à partir des schémas de base en croisant les signaux de façon à assurer une bonne symétrie. La figure I-4.7 donne deux exemples de tels oscillateurs utilisant en (a) la technologie MOS et en (b) les propriétés du CMOS.

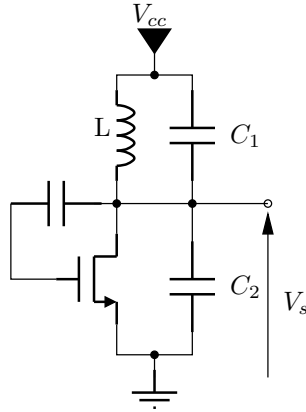


FIG. I-4.5 – Oscillateur de Colpitts

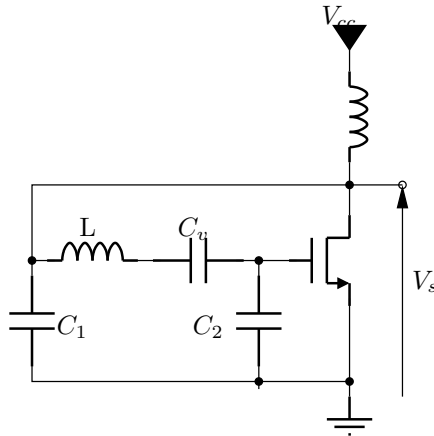


FIG. I-4.6 – Oscillateur de Clapp

I-4.3 Oscillateurs commandés en tension : VCO

I-4.3.1 Mise en place

L'une des possibilités permettant de réaliser un oscillateur consiste à utiliser d'un circuit LC qui oscille à $f_0 = \frac{1}{2\pi\sqrt{LC}}$ (formule de Thomson). Faire varier la fréquence est alors chose aisée si l'une des grandeurs L ou C est contrôlable. Dans la pratique des solutions intégrées, il est préférable de conserver L fixe et de faire varier C car on dispose facilement de capacités commandables en tension avec les jonctions à semiconducteurs. Pour cela, deux possibilités consistent à utiliser, d'une part, une diode varicap en parallèle de la capacité C , dans le cas où l'on souhaite une variation continue; d'autre part, une commutation entre capacités, pour des sauts de fréquences discrets. Ces deux solutions peuvent bien sûr être utilisées conjointement.

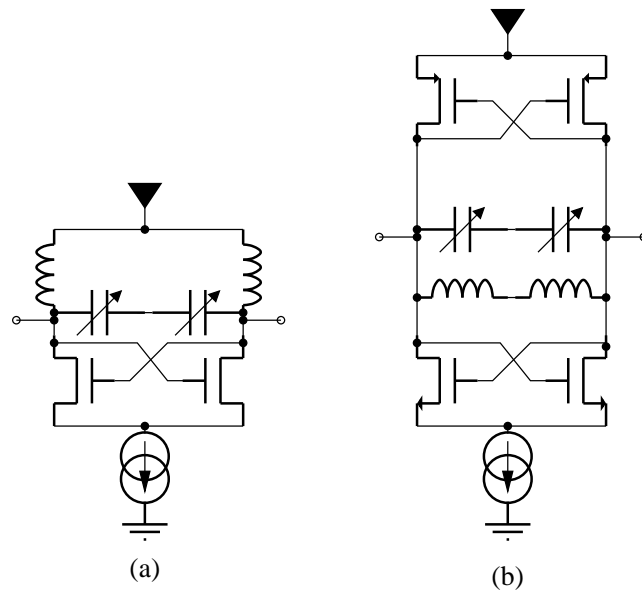


FIG. I-4.7 – Oscillateurs différentiels classiques en technologie (a)MOS et (b)CMOS

En pratique, les varicaps et les capacités discrètes commandées seront des transistors MOS, dont le drain et la source reliés formeront une borne de la capacité et la grille l'autre. La commande de la valeur se fait à l'aide d'une tension continue appliquée sur ces deux bornes. Cette réalisation pratique est dictée par le modèle d'Ebers-Moll des transistors qui utilise des diodes grille-source ou base-émetteur et drain-grille ou base-collecteur. La différence entre les transistors MOS et bipolaire se fait au niveau des caractéristiques du type de diode utilisée, respectivement quadratique ou exponentielle.

À ce niveau, générer un signal modulé en fréquence est facile en appliquant la basse fréquence sur la tension de commande des varicap. Ce phénomène simplifie l'émission mais peut aussi être source de mauvais fonctionnement de l'oscillateur en créant du bruit de phase.

I-4.3.2 Caractéristiques classiques des VCO

Un VCO est un oscillateur. Les premiers paramètres qui le caractérisent sont donc :

- sa fréquence d'oscillation centrale
- son impédance de sortie
- l'amplitude du signal généré
- l'importance des harmoniques parasites
- son bruit de phase
- et comme cet oscillateur est variable, il faudra prendre en compte la plage de fréquence utile.

Dans les réalisations pratiques, la fréquence centrale dépend de l'application mais l'excursion est souvent de l'ordre de 10%. L'amplitude dépend du mélangeur qui va devoir être attaqué par l'oscillateur, mais de façon générale, plus elle sera grande sans entraîner une consommation trop élevée, mieux cela sera. L'influence des harmoniques parasites est liée aux performances des étages

suivants en terme de filtrage et de linéarité mais dans le cadre d'une étude individuelle de chaque bloc, elles devront être le plus réduites possible. De même, le bruit de phase devra être minimisé. Enfin, comme toute réalisation haute fréquence, l'impédance de sortie d'un bloc autonome devra être de 50Ω afin de permettre un transfert de puissance optimum. Comme cela a été dit pour les blocs précédents, ceci est contestable dans le cas des récepteurs intégrés.

I-4.3.3 Utilisations classiques des VCO

Les systèmes de la chaîne de transmission nécessitent l'utilisation de générateurs de fréquence variable ou fixe (chapitre I-1). Dans les architectures modernes, les VCO, contrôlés en tension, sont utilisés dans des boucles de régulation de fréquences, PLL (*Phase Lock Loop*) ou autre. Néanmoins, ces structures travaillent déjà en basse fréquence par rapport à celle du VCO et relèvent donc d'autres problèmes que ceux des blocs étudiés. Par contre, leur existence et le fait qu'elles soient souvent contrôlées via des circuits logiques programmables, justifient pleinement l'ensemble des travaux d'intégration de structures radiofréquence sur technologie numérique.

I-4.4 Bruit de phase

I-4.4.1 Définition

Comme tout autre circuit, les oscillateurs sont sensibles au bruit. Ce dernier peut venir de l'extérieur ou des composants constitutifs de l'oscillateur mais se traduit toujours par une modification de la fréquence et de l'amplitude de l'oscillateur. En général, l'amplitude du signal en sortie de l'oscillateur ne véhiculant aucune information, un circuit annexe permet qu'elle soit rendue constante. Ce gommage de la variation d'amplitude fait que le bruit dans un oscillateur est uniquement gênant par sa composante fréquentielle.

La figure I-4.8 montre que le bruit de phase se traduit par la génération de signaux autour de la porteuse. Pour quantifier cela, on considère le bruit dans une largeur de bande unitaire à un offset $\Delta\omega$ de la porteuse ω_c et on le divise par la puissance de la porteuse. Ce bruit est exprimé en dBc (*dB to carrier*). Mathématiquement, cela se traduit par

$$N = N_1 + 20\log\Delta\omega$$

I-4.4.2 Bruit de phase dans les oscillateurs

De façon évidente l'oscillateur parfait délivrant fréquence et amplitude constantes ne peut pas exister : sur le long terme à cause du vieillissement des composants et sur le court terme à cause des bruits dans ces derniers. Quitte à rééquilibrer par la suite, il est le plus souvent considéré que le bruit en amplitude n'a pas d'influence sur le spectre. À l'inverse le bruit sur la fréquence, qui se traduit en fait par un bruit de phase, apparaît déterminant dans la mesure où il provoque l'étalement du spectre.

Lorsque le processus de variation de la fréquence est aléatoire, il s'agit de bruit de phase. On le modélise en assimilant le signal de sortie à la somme de porteuses modulées en phase par un signal

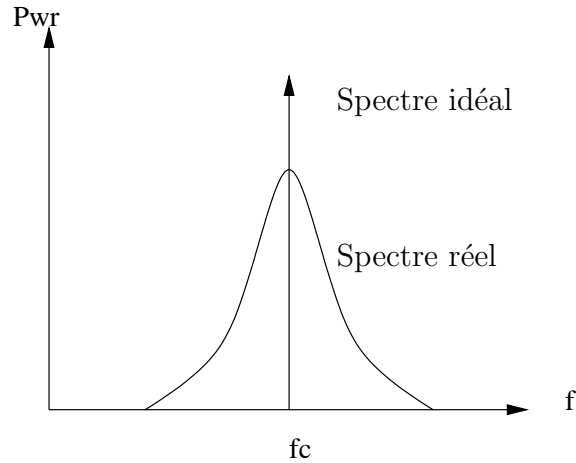


FIG. I-4.8 – Spectre d'un oscillateur idéal et réel

sinusoïdal : $v = A \cos[\omega_c t + \Delta\phi \sin \omega_m t]$. Par développement des fonctions de Bessel de première espèce au premier ordre on obtient

$$v = A \cos \omega_c t + A \frac{\Delta\phi}{2} \cos(\omega_c + \omega_m)t - A \frac{\Delta\phi}{2} \cos(\omega_c - \omega_m)t$$

qui montre que l'amplitude des bandes latérales est proportionnelle à l'écart de phase maximal. De plus, $\Delta\phi = \frac{\Delta f}{f_m}$, c'est-à-dire que l'amplitude des bandes latérales diminue lorsqu'on s'éloigne de la fréquence centrale f_0 . On définit alors le bruit en bande latérale unique dans une bande unitaire par

$$N(f_m) = \frac{P_{SSB}}{P_0} = \frac{V_{SSB}^2(f_m)}{A_0^2} = \frac{\Delta\phi^2}{2} \quad \text{en } dBc/\sqrt{Hz}$$

Lorsque le processus n'est plus aléatoire, il ne s'agit plus de bruit de phase mais de :

- *pushing* : C'est l'influence de la tension d'alimentation sur la fréquence de sortie exprimée en kHz/V.
- *pulling* : C'est l'influence du taux d'ondes stationnaires (TOS) de la charge de sortie sur la fréquence d'oscillation.

Chapitre I-5

Les mélangeurs : de la multiplication analogique au changement de fréquences

I-5.1 Principes de base

Le mélangeur constitue par rapport aux éléments étudiés précédemment un système particulier : comme il possède trois ports, il ne peut pas être traité dans sa globalité de la même façon. L'étude de son aspect fonctionnel, une multiplication suivie par un filtrage, montre qu'il constitue un système de transposition de fréquence. Les divers réalisations de l'état de l'art seront ensuite abordées et présentées afin d'aboutir à un bilan de caractéristiques et de performances.

I-5.1.1 Le multiplicateur idéal

Idée initiale : la recherche du multiplieur analogique (fig. I-5.1-(a)) amène à considérer le cas simple où l'une des entrées est excitée par un signal modulé par tout ou rien : la plus simple réalisation est alors un interrupteur (fig. I-5.1-(b)). Or, le composant dont la fonction principale est de réaliser un interrupteur commandé est le transistor. Il découle naturellement la structure simple présentée en figure I-5.1-(c). Les phénomènes parasites de génération de signaux harmoniques des fondamentaux laissent finalement envisager l'utilisation des non linéarités dans certains cas (figure I-5.1-(d)). A la lumière du cheminement précédent, tous ces systèmes sont indissociables des fonctions de filtrages afin de s'affranchir des produits non désirés.

Aspect mathématique : à partir de deux signaux sinusoïdaux e_1 et e_2 tels que $e_1 = A_1 \sin \omega_1 t$ et $e_2 = A_2 \sin \omega_2 t$, une multiplication permet d'obtenir le signal $s = K e_1 e_2$ avec :

$$s = \frac{K A_1 A_2}{2} [\cos(\omega_1 - \omega_2)t - \cos(\omega_1 + \omega_2)t]$$

Les fréquences $f_1 - f_2$ et $f_2 + f_1$ sont appelées fréquences intermédiaires. La multiplication de signaux entre eux provoque un changement de fréquence du signal initial. Le signal résultant se décompose en deux parties, l'une à une fréquence supérieure à celles des signaux entrant, l'autre inférieure. La fréquence du signal reçu est notée f_{RF} , et la fréquence du signal annexe d'entrée f_{OL} comme Oscillateur Local. La fréquence du signal de sortie utile est dite fréquence intermédiaire et est notée f_{FI} alors que l'autre fréquence intermédiaire, inutile, est supprimée à l'aide d'un système de filtrage.

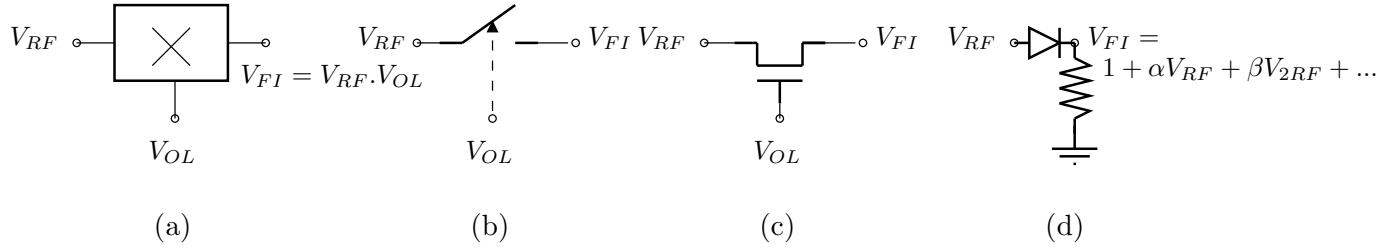


FIG. I-5.1 – Principe du multiplieur (a)analogique, (b)à découpage (c)réalisation à MOS et (d)non linéaire par auto-mélange

La fréquence image : la fréquence image est la fréquence symétrique de la fréquence f_{RF} par rapport à la fréquence f_{OL} qui donne la même fréquence intermédiaire f_{FI} :

$$f_{IM} = 2f_{OL} - f_{RF} = f_{RF} \pm f_{FI}$$

Sa valeur importe peu dans l'absolu, par contre il est nécessaire de la supprimer soit à l'aide de filtres soit à l'aide de structures adaptées de mélangeurs, appelés mélangeurs à réjection de fréquence image.

I-5.1.2 Utilisation des mélangeurs

Le mécanisme est un système linéaire et dépendant du temps vis-à-vis du port RF et non-linéaire dépendant du temps vis-à-vis du port OL ([9]). Il sert, en premier lieu, à effectuer la transposition en fréquence d'un signal utile. Toutefois, dans le cas où f_{OL} et f_{RF} sont égales, la fréquence intermédiaire la plus basse est nulle. Le signal résultant en bande de base est proportionnel au déphasage entre les signaux RF et OL. Le mélangeur sert alors de détecteur de phase. À l'inverse, il est de plus possible de l'utiliser en tant que modulateur d'amplitude en utilisant un signal modulant sur l'entrée FI, et la porteuse indifféremment sur OL ou RF. Dans le cas où le signal modulant est carré, il est facile d'obtenir une modulation de phase. En inversant l'entrée (FI) et la sortie (OL) dans les deux montages précédents, ils se comportent en démodulateurs de phase et d'amplitude.

I-5.2 Caractéristiques des mélangeurs

Si l'aspect fonctionnel semble simple à réaliser, les composants parasites peuvent introduire une modification profonde du fonctionnement même sur des structures simples : par exemple, une capacité grille-source trop forte entraînerait une fuite de l'OL dans la FI qui pourrait être préjudiciable. Il apparaît donc indispensable de préciser dès le départ les performances critiques que l'on doit attendre des mélangeurs.

I-5.2.1 Paramètres des mélangeurs

Le gain en conversion : par rapport à beaucoup d'autres circuits classiques, il faut tenir compte dans la définition du gain de la particularité principale du mélangeur qui est le changement de fréquence. Le gain d'un mélangeur se définit par le rapport des puissances FI sur RF :

$$G = \frac{P_{FI}}{P_{RF}}$$

Une particularité notable est qu'un mélangeur passif excité par un signal sinusoïdal sans perte possède un gain de $-6dB$ puisqu'il transpose la moitié du signal autour de la fréquence intermédiaire basse et l'autre moitié autour de la fréquence intermédiaire haute.

L'isolation : elle caractérise la fuite de signal entre deux ports du système. On note P_{xy} la puissance mesurée sur le port y après qu'elle a été injectée sur le port x. L'isolation entre x et y se note alors

$$I_{xy} = \frac{P_{xy}}{P_{xx}}$$

Comme par construction le signal le plus fort est le signal OL, les isolations OL-RF et OL-FI seront celles qui nécessiteront la plus grande attention.

La compression : le point de compression à 1dB est, comme dans le cas des LNA, la puissance d'entrée RF pour laquelle le gain de conversion est écrêté de 1dB.

Le point d'intersection d'ordre 3 : tout comme dans le cas des LNA, en se fondant sur la définition du gain, il s'agit des puissances d'entrée (IIP_3) et de sortie (OIP_3) correspondant à l'intersection des courbes de gain et de produit d'intermodulation d'ordre 3.

La dynamique : elle se définit comme la plage de puissance pour laquelle le fonctionnement est satisfaisant. Elle est donc limitée de façon inférieure par le plancher de bruit et de façon supérieure par le point de compression à 1dB.

Le facteur de bruit : il se définit entre les ports RF et FI par la relation :

$$F = \frac{(\frac{P}{B})_{RF}}{(\frac{P}{B})_{FI}}$$

Les impédances d'entrée et de sortie : en général, il n'y a plus lieu d'imposer des impédances de 50Ω comme dans le cas des LNA. Le concepteur semble plus libre, mais la décision doit être prise avec connaissance des propriétés du LNA et du VCO. Le problème qui se pose alors est celui du calcul du facteur de bruit (NF) puisqu'il peut y avoir des changements d'impédance ([9, p200]).

Le niveau de l'OL : afin de fonctionner correctement, le mélangeur a besoin d'être commandé par une tension d'OL qui assure une commutation complète et précise. Le niveau de la commande fait donc partie des spécifications.

I-5.2.2 Caractéristiques typiques des mélangeurs

B. Razavi [9] présente les caractéristiques typiques chiffrées d'un mélangeur. Elles sont reprises dans le tableau I-5.1.

NF	12dB
IIP_3	5dBm
Gain	10dB
Impédance d'entrée (cas hétérodyne)	50Ω
Isolation port à port	10-20dB

TAB. I-5.1 – Caractéristiques typiques d'un mélangeur [9]

I-5.3 Étude des structures et des évolutions

I-5.3.1 Les structures passives

Le circuit théorique proposé en figure I-5.1-(b) est l'exemple typique de mélangeurs passifs : le gain global est négatif et vaut $-1/\pi$, si OL est un carré parfait entre 0 et 1. Le principe même des mélangeurs passifs est l'utilisation des caractéristiques non linéaires des composants. Elles permettent de générer des harmoniques du signal fondamental (ce que montre une décomposition en série de Fourier) qui sont ensuite filtrées et sélectionnées. Le cœur du montage de ce type de mélangeurs sera alors la diode (figure I-5.1-(d)).

Mélangeur à une diode

La réalisation la plus simple utilise une seule diode, et réalise simplement la sommation directe (ou via filtre) des signaux RF et OL sur l'anode. Le signal FI est récupéré en sortie après filtrage. Ce type de montage n'est que rarement employé sauf en hyperfréquence où les autres solutions ne sont pas envisageables ([73]).

Dans le cas d'une diode quadratique, par exemple issue d'un MOS, la fonction de transfert est du type $I = aV^2$, et pour $V = e_1 + e_2$:

$$I = \frac{a}{2}(A_1^2 + A_2^2) - \frac{aA_1^2}{2}\cos 2\omega_1 t - \frac{aA_2^2}{2}\cos 2\omega_2 t + aA_1A_2[\cos(\omega_1 - \omega_2)t] - \cos(\omega_1 + \omega_2)t$$

Il apparaît déjà dans ce cas simple des signaux parasites. Dans le cas général de la diode exponentielle ou de tout autre montage non linéaire, le phénomène s'étend puisqu'on peut écrire $I = a_0 + a_1V + a_2V^2 + \dots$ le signal de sortie contient alors des raies aux fréquences $m\omega_1 + n\omega_2$ avec n et m entiers positifs.

Structure du mélangeur double équilibré (*Double Balanced Mixer*)

Ce type de mélangeur DBM, représenté sur les figures I-5.2-(a) et I-5.2-(b) (selon [73, p296]), est défini par des entrées RF et OL prises simultanément de façon différentielle ([9, p184]). Si seule l'entrée OL est différentielle, il s'agit, par définition, d'un *single balanced mixer* (SBM).

I-5.3.2 Les structures actives simples

L'inconvénient principal des structures passives est leur perte de conversion. De plus, si elles restent indispensables aux fréquences pour lesquelles les composants actifs ont des performances

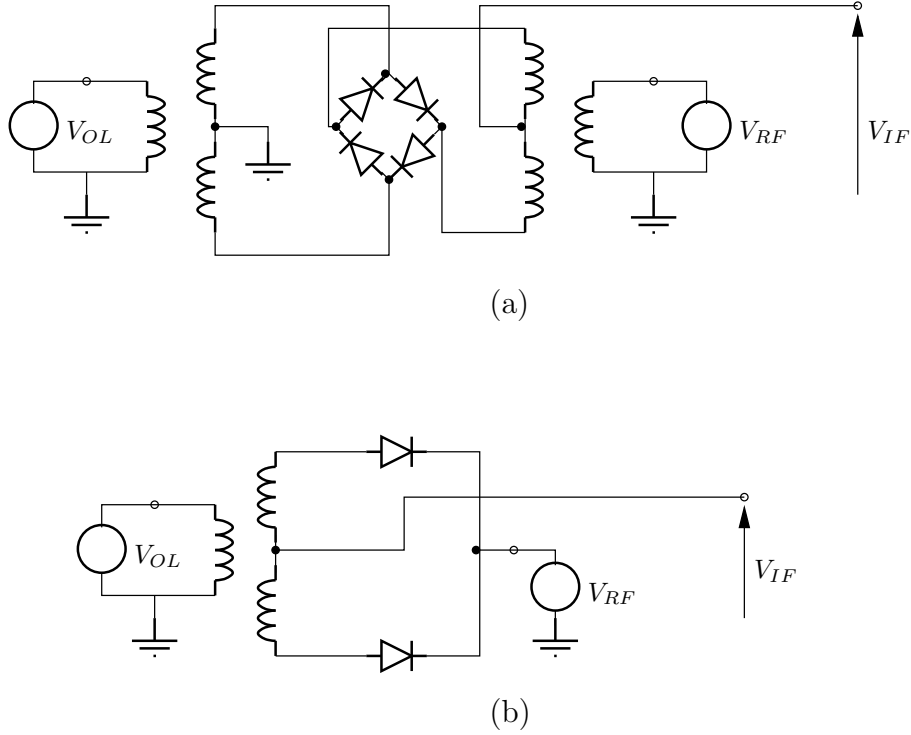


FIG. I-5.2 – Mélangeurs double équilibrés

trop dégradées, elles atteignent vite leurs limites et en particulier de par l'emploi de transformateurs qui freinent les tentatives d'intégration.

Il est possible d'utiliser une caractéristique de transistor à effet de champ de la forme $i_D = a + v_{GS} + cv_{GS}^2$, auquel cas les raies du signal de sortie se situent aux fréquences f_{RF} , f_{OL} , $|f_{RF} \pm f_{OL}|$, $2f_{RF}$ et $2f_{OL}$ (figure I-5.3). Toutefois, un mélangeur réalisé avec un seul transistor FET à simple grille présente peu d'isolation entre les ports. Il faut donc appliquer les signaux RF et OL via des filtres à bande étroite (cas a et b). De même, la sortie FI doit posséder un filtre afin de ne conserver que le produit souhaité.

Pour pallier le premier problème, un montage cascode ou sa variante classique ([71, p246]) à l'aide d'un transistor double grille (cas b) peut être utilisé comme dans le cas des LNA. En revanche, le circuit d'accord FI reste souhaitable afin d'éliminer les produits d'intermodulation non désirables et restreint donc le montage à des applications bande étroite en FI.

I-5.3.3 SBM actifs

La figure de base I-5.1 montre qu'un mélangeur qui apporte du gain peut dans un premier temps être réalisé en amplifiant le signal RF puis en le faisant passer par un interrupteur. De plus, afin de posséder par la suite un signal différentiel, et puisque le signal OL est généré en interne au système, il est envisageable d'utiliser un double interrupteur en opposition et une sortie différentielle. C'est ce que réalise la structure présentée sur le schéma I-5.4 issu de [9].

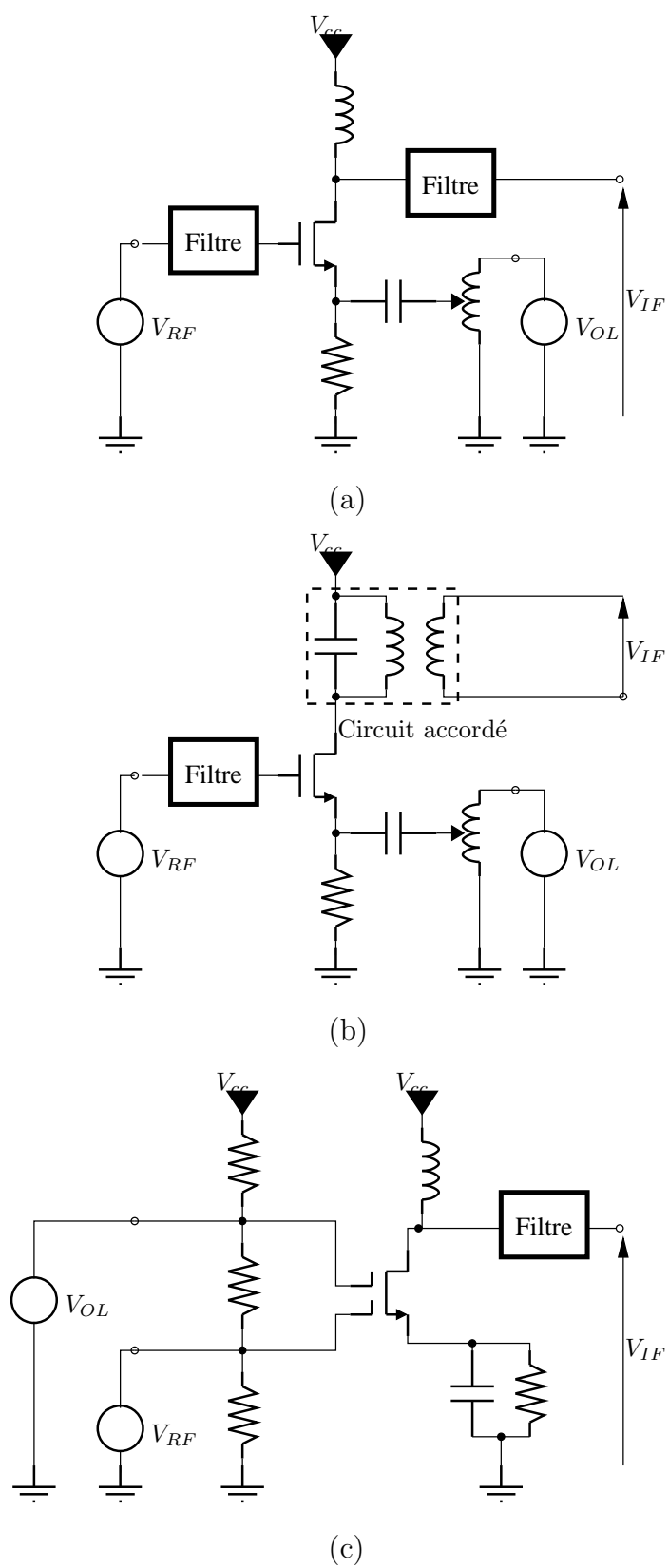
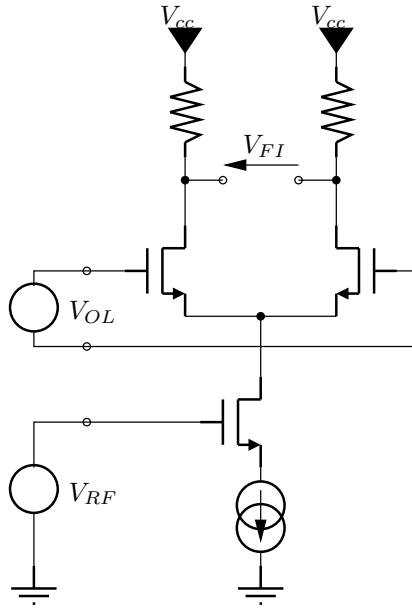


FIG. I-5.3 – Mélangeurs actifs

FIG. I-5.4 – *Single Balanced Mixer*

L'un des principaux défauts du SBM est sa faible isolation OL-FI dûe au fait que la paire différentielle joue le rôle d'un amplificateur pour le signal OL. Cela peut poser des problèmes lorsque les signaux FI et OL ont des fréquences trop proches. C'est pour cela qu'une structure permettant de sommer les signaux OL en opposition de phase est nécessaire afin qu'ils s'annulent : c'est le DBM actif.

I-5.3.4 Une structure classique de DBM actif : la cellule de Gilbert

La cellule de Gilbert est une structure classique composée du DBM actif (figure I-5.5). L'avantage du DBM sur le SBM est qu'il propose une isolation port-à-port plus grande et présente une meilleure indépendance au bruit sur le signal OL. De plus, il génère moins de distorsions d'ordre impair qui sont celles qui sont proches de la fréquence FI utile. Néanmoins, le DBM présente un plus grand bruit ramené en entrée, et dans la majorité des cas en technologie intégrée, il est connecté à un LNA ayant une seule sortie. Ce dernier point impose que l'une des broches d'entrée RF soit liée à un courant de polarisation ce qui a pour effet d'augmenter les non-linéarités et donc les produits d'intermodulation d'ordre impair([9]). Alors, à courant de polarisation égal, le type SBM est plus linéaire (meilleures P_{1dB} et IIP_3), et il est préférable d'utiliser une dégénérescence inductive, que ce soit pour favoriser le facteur de bruit ou la linéarité ([74]). Ainsi, comme dans le cas des LNA, les résistances de la figure I-5.5 pourront être remplacées par des inductances ce qui aura pour effet positif une diminution du bruit global mais pour effet négatif une limitation de la bande passante.

I-5.3.5 Les mélangeurs à réjection de fréquence image

Le problème de la fréquence image est l'un des plus critiques dans la conception des mélangeurs car il détermine directement leurs performances en terme de bruit et éventuellement d'immunité aux

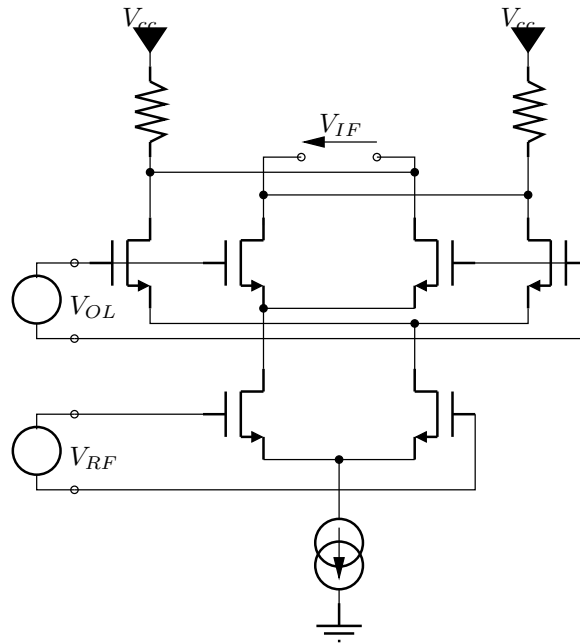


FIG. I-5.5 – La cellule de Gilbert, ou le mélangeur tout différentiel actif

signaux parasites dans les systèmes possédant un contrôle automatique du gain. En effet, dans le cas où la fréquence intermédiaire est trop faible, ce qui correspond à une trop faible différence entre OL et RF, le filtrage avant le mélangeur n'est pas possible.

La structure de la figure I-5.6 est alors utilisée. Elle s'obtient à partir de deux coupleurs hybrides à 90° . Schématiquement, deux signaux en opposition de phase sont sommés ce qui a pour effet d'annuler les raies aux fréquences parasites (voir le calcul détaillé disponible dans [71]). Toutefois, ce montage introduit un déséquilibre en amplitude et en phase sur chacun des mélangeurs dès qu'il se trouve en dehors du cas idéal où les amplitudes sont parfaitement équilibrées et où les mélangeurs sont parfaitement appairés.

La structure de Hartley (1928), présentée en figure I-5.7, propose une autre disposition des déphaseurs qui permet par addition ou différence dans l'étage final de choisir la bande image supérieure ou inférieure. En général, le déphaseur situé sur le chemin du signal est remplacé par deux déphaseurs à 45° (à l'aide de réseaux RC-CR d'ordre à déterminer). Cette dernière configuration diminue mais ne supprime pas le problème de cette structure qui est, comme précédemment, sa grande dépendance au *matching*.

Pour s'affranchir de ces problèmes technologiques, il est possible d'envisager la structure de Weaver (fig. I-5.8), dans laquelle celui-ci remplace le déphaseur par une seconde multiplication en quadrature. Par construction, ce type d'architecture est bien adapté aux récepteurs hétérodynes, présentant en revanche les défauts caractéristiques de ceux-ci. En particulier, le problème de la seconde fréquence image introduit l'interférent situé en $2\omega_2 - \omega_{in} + 2\omega_1$ dans le signal utile lorsque celui-ci n'est pas

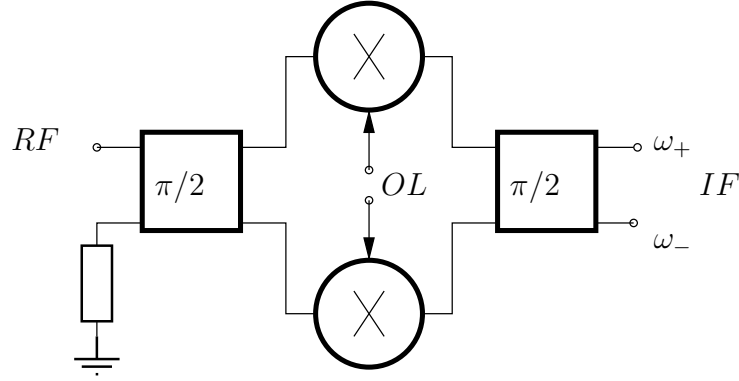


FIG. I-5.6 – Mélangeur à réjection de fréquence image

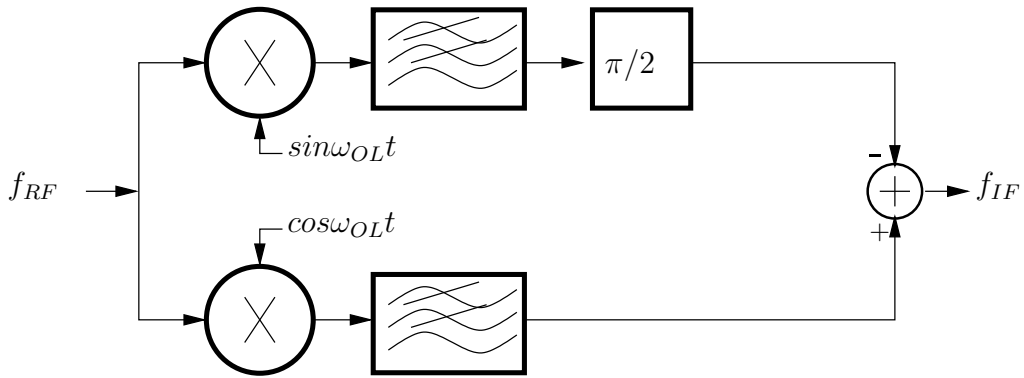


FIG. I-5.7 – Mélangeur de Hartley

ramené sur une fréquence nulle.

I-5.4 Conclusion et bilan des réalisations actuelles

Il ressort de cette étude que les mélangeurs peuvent se compliquer structurellement de façon à réaliser les fonctions mathématiques requises. Toutefois, l'élément principal est toujours le multiplieur suivi par son système de filtrage.

Actuellement, beaucoup de mélangeurs sont encore en technologies bipolaire ou AsGa car elles restent majoritaires dans le domaine des hautes ou hyperfréquences ([75]). Toutefois, il existe de plus en plus de réalisations MOS directement converties des schémas bipolaires qui ont des propriétés équivalentes, bien que moins performantes en terme de linéarité ([76]).

La diversité des problèmes et des applications, tout comme pour les oscillateurs, ne suffit tout de même pas à dresser un portrait simple qui caractériserait l'ensemble des réalisations. Le point clé est de connaître le besoin système pour choisir la structure adéquate dans la technologie fixée.

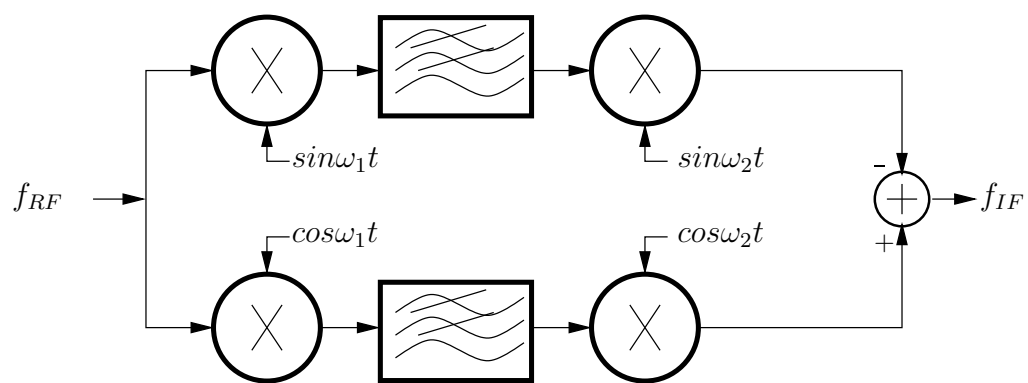


FIG. I-5.8 – Mélangeur de Weaver

Deuxième partie

Réalisations et résultats

La partie bibliographique a montré que la réception de signaux dans un montage de type *mixed-signal system on chip* où tous les éléments sont intégrés était fortement liée à la maîtrise de trois blocs de base : l'amplificateur faible bruit (LNA), l'oscillateur et le mélangeur. Le but premier de ces travaux est d'étudier les possibilités d'intégration de la chaîne complète. Les blocs ont alors été conçus dans cette optique. Toutefois, afin de s'affranchir d'une partie des difficultés liées aux tests, ils ont été implantés séparément. La contrepartie est que leurs entrées et sorties ont dû être adaptées sous 50Ω afin d'effectuer des tests sous pointes valable.

Cette partie sera consacrée à l'étude de l'environnement de travail (détail de la technologie et du protocole expérimental) puis de la méthodologie de conception, sa validation par la réalisation pratique, et la présentation des résultats pour chacun des quatre blocs étudiés (commutateur, LNA, mélangeurs et oscillateurs) sur la base des trois circuits réalisés :

- AMELIE : qui contient trois blocs, un LNA, un oscillateur et un mélangeur, réalisé en technologie SOS de Peregrine dans le process fc UTSi $0,5\mu m$,
- AMLNA : qui contient un seul LNA toujours réalisé en technologie SOS de Peregrine dans le process fc. Il s'agit du LNA de AMELIE pour lequel les facteurs de forme des transistors ont été changés de façon à diminuer l'importance des éléments parasites, et en particulier de la résistance d'accès à la grille,
- MELODIE : qui contient cinq blocs, un LNA, un oscillateur et un mélangeur et deux switches ainsi que des éléments de test (une inductance et un PMOS), réalisés en technologie SOS de Peregrine dans le process gc UTSi $0,25\mu m$.

Chapitre II-1

Technologies utilisées, méthode d'optimisation et protocole de mesure

II-1.1 Technologies utilisées

Cette section propose un aperçu pratique de la composition du *design kit* du fondeur Peregrine Semiconducteur sur les technologies UTSi (*Ultra Thin Silicon*) $0,5\mu m$ et $0,25\mu m$ utilisées comme vecteur de test des structures déjà définies. L'objet est d'une part de pouvoir comparer les deux technologies entre elles et par rapport aux standards MOS et d'autre part de comprendre par l'illustration les difficultés liées au faible nombre de degrés de liberté. Les valeurs présentées sont celles disponibles à la date de soutenance, la technologie étant en cours de développement.

Les paragraphes suivants étudient la structure du *wafer*, les composants passifs et les composants actifs. Mis à part pour ces derniers aucune différence n'est faite entre les technologies $0,5$ et $0,25\mu m$, car le substrat et le processus de fabrication restent identiques.

II-1.1.1 Paramètres physiques des technologies

Les deux technologies UTSi sont réalisées sur un substrat de type SOI (*Silicon On Insulator*) et plus précisément SOS (*Silicon On Sapphire*). Elles sont de type 1P3M (une couche de silicium polycristallin et trois couches de métal) suivant le diagramme II-1.1.

II-1.1.2 Composants passifs disponibles

Les composants de la technologie Peregrine Semiconducteur correspondent aux standards des technologies intégrées comme le montrent les tableaux II-1.1 et II-1.2. Les propriétés des inductances données dans le tableau II-1.3 et définies conformément à la figure II-1.2 montrent les avantages de la technologie SOS sur les technologies CMOS *Bulk* : les forts facteurs de qualité Q disponibles permettent de compenser les faibles fréquences de transition des transistors (voir au paragraphe suivant). Toutefois, cet avantage est contrebalancé par le fait que seules trois inductances sont caractérisées dans le *design kit* à la fréquence visée (tableau II-1.3). Ainsi, l'étude des composants passifs disponibles fait apparaître deux points-clefs :

- Les seuls degrés de liberté à haute fréquence sont les valeurs des capacités.
- La caractérisation des éléments est toujours partielle, en particulier concernant les capacités et les inductances.

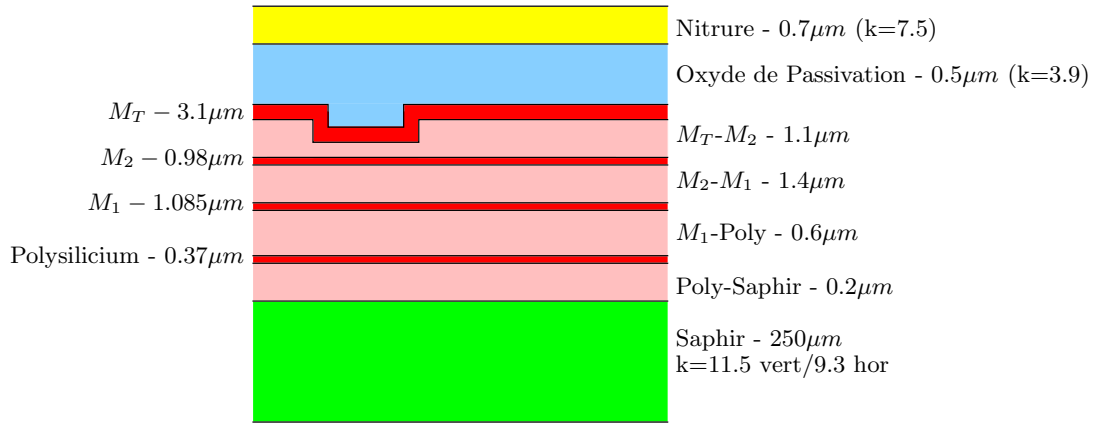


FIG. II-1.1 – Structure de la technologie UTSi

Les phases d'implémentation doivent alors limiter l'influence des éléments parasites qui n'apparaissent pas dans les modèles mais peuvent s'avérer du même ordre de grandeur que les composants utilisés aux fréquences envisagées.

Type	Résistance R_{\square} (Ω)	Tolérance sur la résistance
Polysilicium non dopé	12,5	15%
Diffusion N^+	155	10%
Diffusion P^+	225	10%
Fortement dopé N	1900	10%

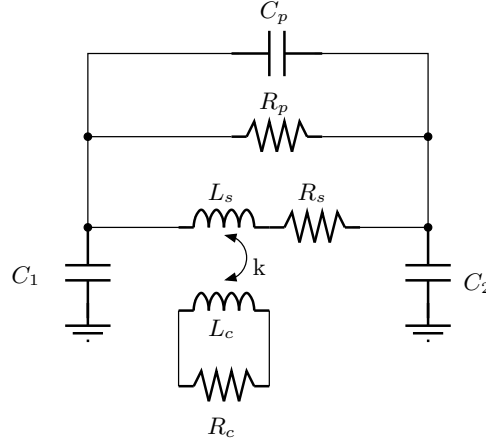
TAB. II-1.1 – Les résistances sur technologies SOS Peregrine

Type	Capacité ($F/\mu m^2$)	C _{parasite} ($F/\mu m^2$)
MIM	5,75e-16	4,11e-19

TAB. II-1.2 – Les capacités sur technologies SOS Peregrine

Type	R_s (Ω)	L_s (nH)	R_c (Ω)	L_c (nH)	k	R_p (Ω)	C_p (fF)	C_1 (fF)	C_2 (fF)	f_{max} (GHz)	Q_{max}	$f_{Q_{max}}$ (GHz)
L1P1-SM	0,88	1,12	3	0,1	0,19	40	11	25	20	20	31,4	13
L1P4-SM	0,805	1,5	8	0,43	0,205	8,5	26	32	20	14,5	23,4	7,325
L10P0-SM	4,86	9,95	1	0,26	0,2	8	28,5	31	18	7	14,1	2,25

TAB. II-1.3 – Les inductances (partielles) sur technologies SOS Peregrine

FIG. II-1.2 – Modélisation des inductances dans le *design kit* Peregrine

II-1.1.3 Propriétés des transistors

Nous décrivons dans le tableau II-1.4 les transistors de type N uniquement puisque ce sont les **seuls** caractérisés pour les applications RF. Dans le *design kit*, ils sont construits autour d'un modèle BSIM3v3 pour lequel les paramètres sont fixés après mesures d'échantillons et ajustement par le fondeur. Se rajoutent, pour les applications RF, une capacité drain-source parasite supplémentaire, ainsi que des résistances et des inductances séries aux trois accès. Néanmoins, afin de pouvoir utiliser des PMOS sur certaines structures, nous avons construit notre propre modèle. À partir de l'étude des dessins des masques des MOS de type N et P, qui conduit à remarquer la similitude des structures externes, nous avons utilisé les équations d'échelle du dimensionnement des éléments parasites du NMOS et appliqué le même type de modélisation sur une base de modèle de PMOS numérique.

Propriété	Procédé $0.5\mu m$	Procédé $0.25\mu m$
f_t	35GHz	45GHz
V_t	-200mV	103mV
I_{dsat}	3,3mA	4,9mA
V_{DSmax}	3V	2,5V
S_{21}	3 jusqu'à 800MHz puis -3dB/decade	2 jusqu'à 5GHz puis -3dB/decade
R_{out}	10 à 2000 Ω	
W (fixé)	6,8 μm	8 μm

TAB. II-1.4 – Les transistors NMOS sur technologies SOS Peregrine

II-1.2 Méthode de conception et d'optimisation

II-1.2.1 Une méthode générale en quatre étapes

Quelque soit le bloc étudié, la même approche de conception et d'optimisation globale a été retenue :

- 1- choix d'une structure motivé soit par une recherche bibliographique soit par une étude systématique préliminaire,
- 2- prédimensionnement manuel des polarisations à l'aide des schémas élémentaires des transistors MOS et utilisation ou caractérisation des composants passifs,
- 3- simulation et optimisation sous Cadence par utilisation des modèles de transistor fournis par le fondeur et prise en compte des éléments parasites des composants discrets,
- 4- validation et finalisation par simulation des schémas obtenus après extractions des parasites à partir des dessins de masques.

Il s'agit dans un premier temps (étape 1) d'avoir une approche système qui permette à l'aide de modèles simples de déterminer la structure optimum assurant la fonction souhaitée. Puis, un calcul élémentaire permet de s'affranchir de l'existence d'extremum locaux en donnant l'ordre de grandeur des caractéristiques électriques à fixer. Cette seconde étape est aussi utile pour le calcul ou la simulation d'éléments qui n'appartiennent pas au *design kit* afin que leurs caractéristiques puissent être utilisées dans l'étape 3, celle de l'optimisation par simulation. Enfin, après la phase d'implantation, une validation par rétro-simulation est effectuée (débouchant, en cas de besoin, sur une modification de l'implantation ou du schéma fonctionnel).

II-1.2.2 Nécessité de l'intervention manuelle

La généralité de la méthode tient en ce qu'elle est capable de s'affranchir des cas aberrants dûs soit à l'existence d'extremum locaux et donc au processus d'optimisation, soit à des erreurs de modèle ou de calcul. Elle nécessite alors à la fois un prédimensionnement manuel rapide, mais aussi un contrôle lors de l'optimisation. Cette intervention d'un opérateur permet enfin d'adapter la zone de compromis à la réalité pratique des performances. On voit alors qu'à compter du moment où l'optimisation dépend de ce qui doit être optimisé, l'intervention du concepteur est souhaitable.

De plus, la différence de forme des différents blocs et des différentes réalisations possibles de chaque bloc ne permet pas d'adapter de façon élémentaire une procédure automatique d'optimisation, ce qui sort alors du cadre de cette thèse.

II-1.3 Protocole de mesure

II-1.3.1 Conditions pratiques de la mesure

Afin de minimiser au maximum l'influence de l'environnement, sachant de plus que les études menées étaient destinées à conclure sur les conditions de l'intégration d'une chaîne globale, l'ensemble des mesures a été réalisé sous pointes sur le banc présenté en figure II-1.3.

Les pointes sont spécifiques pour les mesures radiofréquence. Elles sont de types Tungstène (de façon à entrer dans la couche d'oxyde d'aluminium) et elles sont caractérisées jusqu'à $40GHz$. Enfin, elles sont coplanaires dans la mesure où chaque pointe est composée de trois contact, le signal au centre et la masse reportée sur chaque côté.

De façon à conserver l'homogénéité des mesures, l'ensemble du banc est dimensionné avec des éléments prévus jusqu'à $40GHz$. La limitation de la chaîne est donc donnée par l'appareil de mesure final, ce qui garanti un niveau contrôlé de performance.

II-1.3.2 Calibration et *deembedding*

Les deux techniques classiques permettant de supprimer l'erreur introduite par la mesure sont la calibration et le *deembedding*. La première permet de s'affranchir de tout ce qui est extérieur au circuit mesuré : les pertes introduites par les câbles, les erreurs de niveau en fonction de la fréquence au sein des générateurs, les atténuations non constantes dans les appareils de mesure... La seconde est utilisée afin de placer le plan de la mesure dans celui du système à mesurer : elle permet donc de compenser l'influence des lignes entre les plots d'accès et le circuit.

Souhaitant tester les circuits dans les conditions d'intégration SoC (*System on Chip*), nous avons considéré que les lignes d'accès faisaient partie du circuit. Nous avons donc choisi de caractériser les blocs sans pratiquer le *deembedding*. Les alimentations sont, sauf mention contraire, découplées en interne comme dans un circuit standard.

Faute de place sur nos véhicules de test, la calibration a été effectuée sur une puce séparée dont le substrat avait des propriétés voisines pour les mesures souhaitées.

II-1.3.3 Influence de l'environnement de mesure

Dans les cas limites, les appareils de mesure peuvent influencer sur la fonction du circuit mesuré. Cet effet peut s'avérer particulièrement problématique dans nos études aux limites des capacités des technologies. En prenant par exemple le cas d'un LNA conditionnellement stable, utilisé au voisinage de sa limite, une légère erreur de l'impédance d'entrée de l'appareil de mesure peut alors être la cause d'une oscillation, sans que les techniques précédentes puissent l'éviter. Dans certains cas, la perturbation peut être beaucoup plus subtile et difficile à détecter.

II-1.3.4 Conclusion

Les procédures standards de calibrage ont été effectuées et la reproductibilité des mesures présentées ci-après ajoutées aux précautions de conception permettent de supposer que l'influence de la mesure sur les circuits est négligeable dans la majorité des cas.



FIG. II-1.3 – Banc de test sous pointes

Chapitre II-2

Étude des switchs

II-2.1 Considérations théoriques préliminaires

Ce type d'élément, placé en tête de chaîne juste après l'antenne, peu coûteux en composants passifs, et qui, en particulier, ne nécessite pas d'inductance, permet une première approche des problèmes spécifiques à la conception hyperfréquence sur technologie MOS. En particulier, il permet de mettre en évidence les contraintes liées dues à une modélisation insuffisante des transistors.

Nous avons donc cherché à évaluer les performances maximales que l'on pouvait atteindre à l'aide d'une structure permettant en parallèle de déterminer les caractéristiques et performances de la technologie ayant servi à la réalisation.

Pour les applications qui nous préoccupent, le switch est un élément à deux ports, adapté en entrée et en sortie et qui laisse passer ou non un signal en fonction d'un signal de commande. En d'autres termes, il s'agit d'un interrupteur haute fréquence, large bande et adapté. Les critères de performance sont donc :

- la bande passante et la bande d'arrêt ;
- l'adaptation en entrée et en sortie dans les deux modes de fonctionnement ;
- l'isolation entre l'entrée et la sortie en mode ouvert ; et les pertes d'insertion en mode fermé ;
- le facteur de bruit (mode fermé).

De plus, dans le cadre de ces travaux, la structure retenue servira à l'évaluation de la technologie. Pour rester cohérent avec la suite des études, nous avons décidé de nous limiter à la zone de fréquence des 0 à $20GHz$.

II-2.2 Contrainte de conception en hyperfréquence

L'une des premières difficultés qui apparaissent lorsque l'on s'attelle à la conception de circuits hyperfréquence en technologie MOS standard est d'une part l'insuffisance des modèles et d'autre part leurs imprécisions dès lors que l'on sort du domaine de fréquence pour lequel la technologie a été conçue. Ceci se traduit par le fait que seuls des composants réalisés puis caractérisés sur une plage de fréquence donnée ont des modèles fiables.

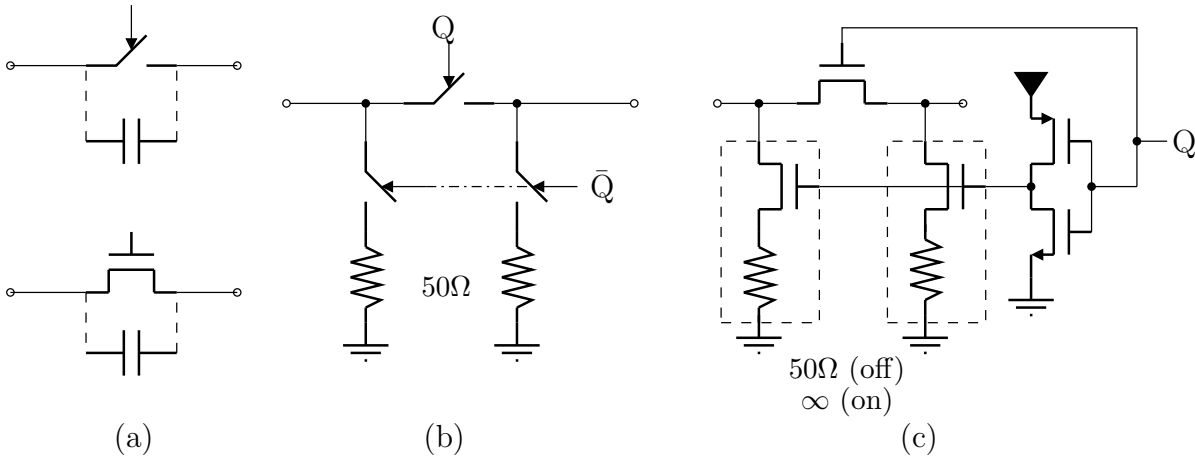


FIG. II-2.1 – Conception d'un switch en technologie CMOS : (a)interrupteur MOS, (b)switch à interrupteur, (c)structure complète

De plus, contrairement à la conception en éléments discrets où une banque de transistors est disponible proposant un large choix, nous devons travailler avec un composant difficilement modifiable pour éviter une dérive supplémentaire par rapport à un modèle déjà utilisé hors limites.

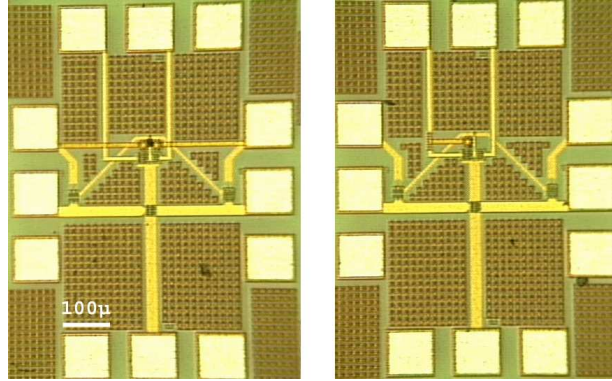
La large bande, choisie comme critère de performance, ainsi que le besoin de tester la technologie nous impose le choix d'une adaptation d'impédance uniquement à l'aide de résistance. C'est à dire qu'en mode ouvert, chaque port sera relié à une résistance de 50Ω et qu'en mode fermé l'entrée devra être directement chargée par la sortie (et réciproquement).

II-2.3 Méthode de conception

Le transistor MOS peut être vu comme un interrupteur élémentaire relativement idéal (cf fig. II-2.1.(a)). Ceci est vrai en basse fréquence, mais en haute fréquence, la capacité C_{ds} provoque une fuite de signal et l'interrupteur perd une partie de ses propriétés d'isolation en mode ouvert. C'est ici que la perte du degré de liberté annoncée dans la section précédente se vérifie : le choix du transistor est imposé et nous ne pouvons utiliser d'inductance pour compenser la capacité parasite car alors nous ne mesurerions plus le NMOS en direct. L'isolation maximum sera donc celle entre le drain et la source du MOS.

Afin de répondre au critère d'adaptation en mode ouvert, il suffit d'utiliser la structure en Pi de la figure II-2.1.(b). Sur la figure II-2.1.(c) présentant la réalisation physique, les NMOS des branches verticales sont alors commandés par un signal complémentaire de celui qui commande le transistor du chemin HF.

La consommation de ce circuit passif (utilisation du principe des "FET froids" issu des techniques MMIC) se limite à l'énergie nécessaire à la commutation d'un état à l'autre. En contrepartie, il faut s'assurer que les pertes d'insertion ne sont pas trop importantes vis-à-vis de l'application.

FIG. II-2.2 – Photographie des switchs MOS (a et b) en technologie $SOS0.25\mu m$

II-2.4 Réalisation pratique

La photographie de la figure II-2.2 montre que deux structures ont été réalisées en technologie $SOS0.25\mu m$ -process gc, de Peregrine Semiconductor (voir le chapitre II-1.1.1). Dans les deux cas, la méthode de conception précédente a été utilisée en destinant le circuit à des tests sous pointes. Toutefois, dans le cas (a), les masses ont été reliées sur la puce alors que dans l'autre cas la connection à la masse est établie en externe. En représentant les élément parasites, ces deux circuits correspondent respectivement aux circuits de la figure II-2.3. Nous pouvons estimer la valeur des inductances apportées par les pointes aux alentours de $1nH$ ce qui crée une résonance avec les capacités parasites des NMOS à $10GHz$. Par contre, si cette estimation est fausse, la figure II-2.4 montre que l'effet de la mise à la masse externe peut soit être bénéfique soit dégrader les performances.

Ainsi du point de vue de l'intégration d'un système complet sur une seule puce, il est utile d'optimiser le nombre de masses externes, le coût en surface d'un plot étant très élevé (dans notre exemple $150 * 150\mu m$). À l'inverse, il faut se méfier du couplage coplanaire entre les pistes créé par la connection des masses en interne (partie gauche de la figure II-2.2).

II-2.5 Protocole expérimental et résultat des mesures

Ayant fixé les caractéristiques principales de nos structures, les paramètres S sont été mesurés. Cette mesure s'est faite à l'aide d'un banc automatique monté autour des appareils suivants :

- Analyseur de réseau : Agilent 8510C
- Synthétiseur $26GHz$: Agilent 8340
- *Test set* : coupleur et échantillonneur $40GHz$

Les résultats obtenus sont présentés en figure II-2.5 après avoir été mesurés sous une tension d'alimentation de $2,5V$ de l'inverseur avec une commande de même valeur. La consommation en mode ouvert est nulle, conformément à la simulation, et de $150\mu A$ en mode fermé.

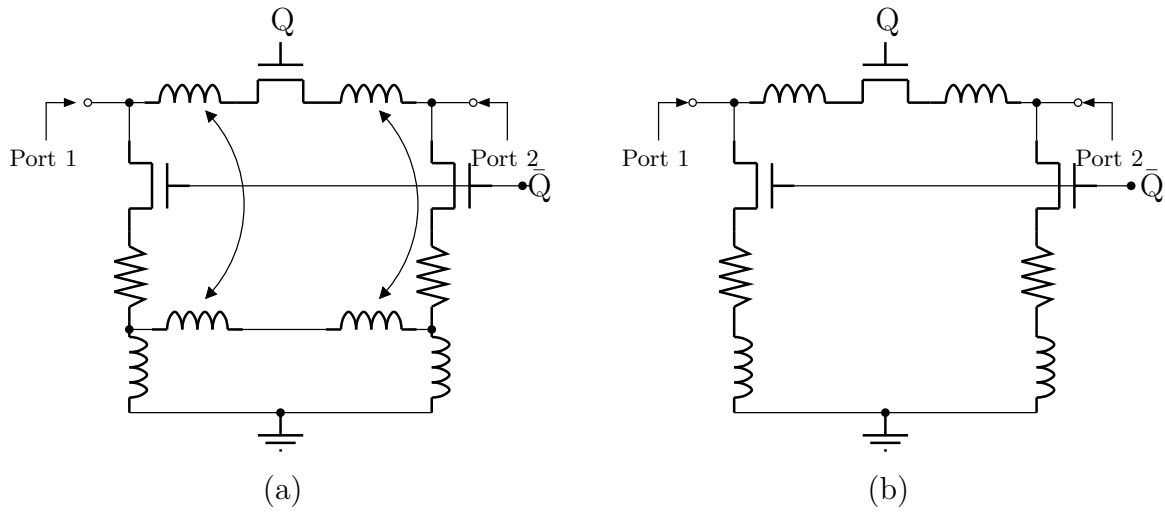


FIG. II-2.3 – Éléments parasites selon le *layout* des switchs : masses reliées en (a) interne, (b) externe

II-2.6 Conclusion

Les résultats précédents montrent l'imprécision de la simulation concernant les phénomènes de couplage et d'estimation des parasites dus à l'implémentation. Ils permettent de mettre en évidence la nécessité de l'analyse préliminaire du *layout* ainsi que son influence sur les performances des circuits.

L'analyse chiffrée des performances montre que de façon générale le circuit B (sans couplage) présente une plus faible transmission du signal entre ces deux ports. Ceci s'explique aisément par le fait que le circuit A possède par couplage une liaison directe entre l'entrée et la sortie. Cette propriété se traduit logiquement par une meilleure isolation mais une plus faible perte d'insertion du circuit B comparé au circuit A. Alors, la très grande perte d'insertion de B en basse fréquence ne permet pas à son entrée d'être directement chargée par l'impédance de sortie en mode fermé et conduit à une adaptation aberrante. A l'inverse, l'isolation limitée de A en basse fréquence crée une situation d'adaptation relativement mauvaise en mode ouvert et dûe fait que l'impédance de charge se trouve en parallèle avec l'impédance d'adaptation.

Ces résultats, qui semblent évidents à la vue des schémas, correspondent en fait à un seul cas de simulation. Il s'agit de celui qui incorpore des inductances parasites de valeurs comparables à celles utilisées par ailleurs dans nos circuits à $10GHz$ (de l'ordre de $1nH$). Ils permettent alors de caractériser une partie des effets de couplage de la technologie.

L'interprétation des performances du point de vue des retours sur la technologie et de l'intégration des récepteurs est menée au chapitre III-2.

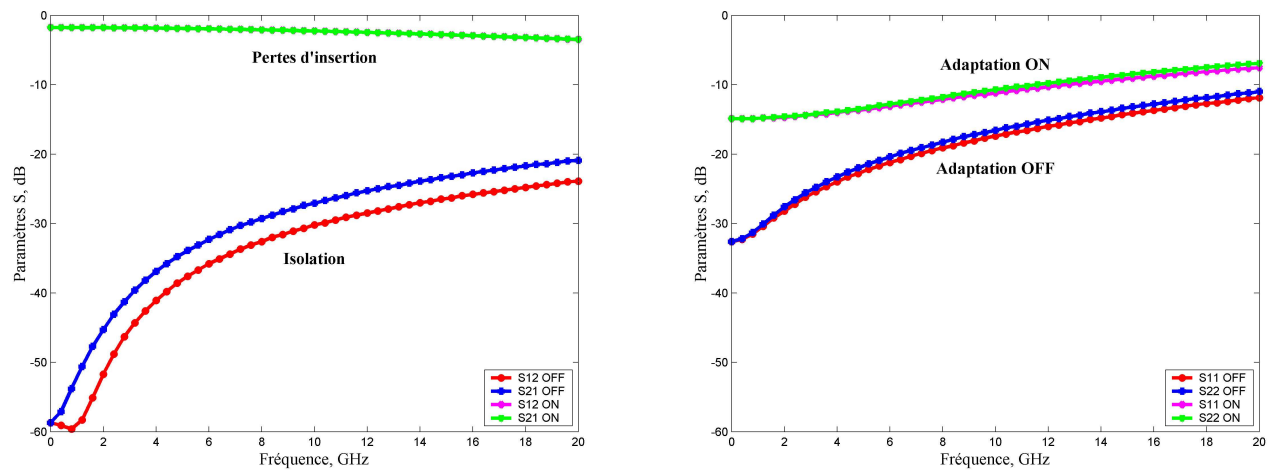


FIG. II-2.4 – Résultats de simulation des switches

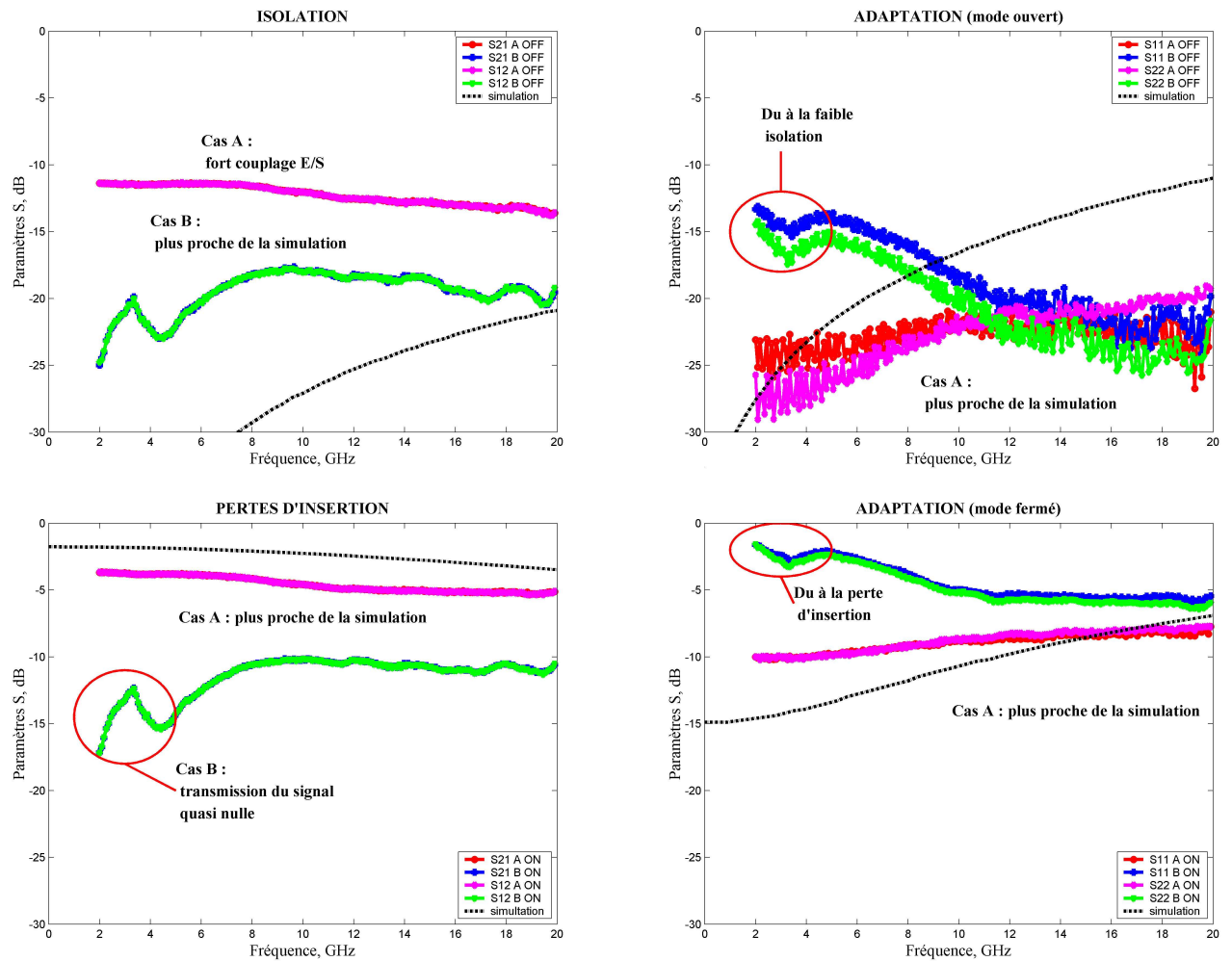


FIG. II-2.5 – Mesures en paramètres S des switches

SS

Chapitre II-3

Étude des amplificateurs à faible bruit

II-3.1 Considérations théoriques préliminaires

L'amplificateur faible bruit est utilisé pour amplifier le signal en sortie d'antenne (ou de switch) en dégradant le moins possible son rapport signal à bruit. Ses caractéristiques sont :

- sa fréquence centrale ;
- son facteur de bruit ;
- son gain ;
- sa linéarité.

Au chapitre I-3, nous avons souligné qu'il est désormais classique de considérer la structure cascode à dégénérescence inductive de source comme permettant à la fois une adaptation embarquée et un faible bruit. Elle présente toutefois un gain plus faible que la structure sans inductance située dans la source

Aujourd'hui, dans le cas de la bande X en technologie CMOS, nous nous approchons des limites des transistors, et en particulier de la fréquence maximum d'oscillation f_{max} et de la fréquence de transition f_t . Cela se traduit par une impédance d'entrée essentiellement dominée par la capacité C_{gs} . Par application des méthodes classiques d'adaptation à deux éléments ([71]), nous voyons que dans la majorité des cas, nous pouvons réaliser l'adaptation sur 50Ω grâce à un réseau LC sans avoir recours à l'inductance de source. Si, de plus, une complexité minimale est recherchée, les faibles facteurs de qualité des composants passifs intégrés à $10GHz$ permettent de conserver une bande passante suffisamment large.

Ainsi, nous retiendrons la structure cascode simple qui permet d'améliorer la stabilité du montage mais sans avoir recours à la dégénérescence inductive de la source. Les adaptations en entrée et en sortie se feront à l'aide des réseaux adéquats selon la méthode présentée en annexe B. Dans la mesure du possible, ceux-ci serviront également à la polarisation. Il faudra alors prendre garde au découplage interne de l'alimentation à l'aide d'une capacité ne risquant pas d'entrer en résonance avec l'inductance de drain. Vu la faible plage de valeur disponible, la méthode retenue consiste à réduire le facteur de qualité Q dans le chemin de découplage. La structure finale est représentée en figure II-3.1.

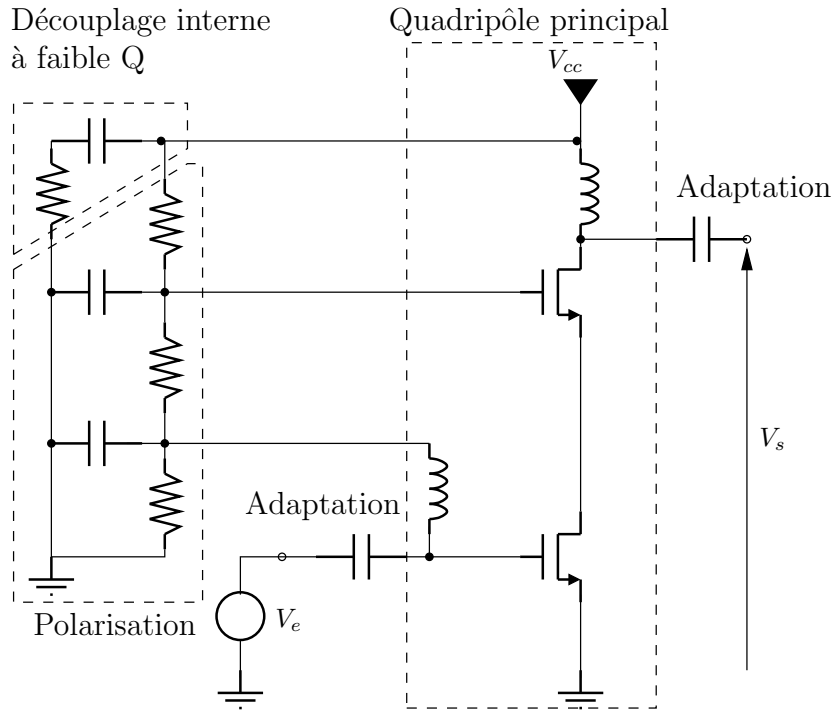


FIG. II-3.1 – Structure optimum d'un LNA en technologie MOS en bande X (polarisation élémentaire)

Dans les parties suivantes, nous exposons les contraintes de conception, la méthode de réalisation, et les résultats expérimentaux.

II-3.2 Contrainte de conception en hyperfréquence

Outre les contraintes déjà évoquées au chapitre II-2 concernant la validité des modèles des transistors MOS, se posent les questions de la précision et du comportement des inductances et des lignes. En particulier, comme pour les MOS, la validation du modèle haute fréquence passe par une caractérisation directe d'un élément isolé à la fréquence cible. La confiance que l'on peut alors avoir dépend d'une part de la qualité de l'extrapolation sur la bande, mais aussi de la précision de la mesure. Ce second point est le plus critique dans la mesure où, à ces fréquences, la mesure influe sur l'élément mesuré : une inductance parasite de $1nH$ amenée par la pointe ne peut plus être négligée et doit alors être caractérisée au préalable.

D'une part, le concepteur de circuit HF n'a à sa disposition qu'un nombre limité d'éléments (transistors, inductances) à pas discret (voir par exemple au chapitre II-1.1.1 les valeurs d'inductance disponibles sur la technologie SOS de Peregrine)

D'autre part, la mesure impose une contrainte : en effet, l'objectif de ce travail est de démontrer la faisabilité de l'intégration de systèmes mixtes sur substrats MOS standards. Or, afin de déterminer précisément les difficultés, des blocs élémentaires indépendants ont dû être réalisés. Ceci impose, pour

effectuer une mesure adéquate, une adaptation d'impédance à tous les niveaux qui vient perturber les performances globales de la chaîne. Dans le cas du LNA, nous garderons cette contrainte, qui est intéressante d'un point de vue théorique dans la mesure où les calculs de gain et de bruit s'effectuent à impédance constante. D'un point de vue pratique, nous verrons comment cette contrainte disparaît avec l'étude du mélangeur implémenté sur MELODIE (voir chapitre II-5).

Enfin, les autres contraintes ne concernent pas dans leur principe uniquement les hyperfréquences mais demandent à y être adaptées. Il s'agit des performances que l'on attend d'un LNA. Nous avons montré ([77]) que dans le cas d'une chaîne complètement intégrée, il n'y a pas lieu de demander une performance absolue au LNA mais que des compromis sont possibles. Ceci est particulièrement utile en HF où il est le plus souvent impossible de se placer simultanément dans des conditions de gain maximum et de bruit minimum.

II-3.3 Méthode de conception

Au vu des contraintes exprimées précédemment, la méthode classique de conception des LNA doit être adaptée à notre problème. Cette méthode permet de caractériser la valeur des éléments variables : le choix de la polarisation et les réseaux d'adaptation.

La structure de base choisie est un cascode. Ce quadripôle élémentaire ne peut être caractérisé qu'une fois sa polarisation fixée donc ce sera le premier point à étudier. Comme on peut le voir sur la figure II-3.2 donnant la caractéristique du NMOS, le courant statique doit être choisi au milieu de la zone saturée de façon à assurer la linéarité. La tension de grille (V_{GS}) est choisie afin d'offrir la dynamique souhaitée sans perte de linéarité ni phénomène de *punch-through* ou de claquage. De même la tension d'alimentation V_{DS} est déterminée pour éviter le claquage lorsque l'excursion en entrée est maximale. En résumé, les deux paramètres du quadripôle principal sont fixés selon les règles suivantes :

- le point (V_{DS}, I_{DS}) se situe au milieu de la zone saturée.
- V_{GS} assure les performances du montage sur l'ensemble de la gamme d'entrée souhaitée.

Une fois les caractéristiques du NMOS d'entrée fixées, le circuit doit respecter l'ensemble des spécifications. Ceci se fait au travers des adaptations en entrée et en sortie puisque ce sont les seuls degrés de liberté restants. La structure globale du montage à réaliser est imposée et un seul un type d'inductance peut être utilisé. La seule possibilité d'adaptation réside alors dans l'emploi de réseaux capacitifs (et éventuellement résistifs, en sortie uniquement, de façon à ne pas trop perturber le facteur de bruit). La méthode à utiliser, dérivée de l'approche hyperfréquence classique, consiste donc à suivre les étapes suivantes :

- Étape 1 : Une simulation aux paramètres S nous donne le gain en puissance maximum GP_{max} , le facteur de bruit minimum NF_{min} , le coefficient de stabilité $K = \frac{1-|S_{11}|^2-|S_{22}|^2+|\Delta|^2}{|S_{21}S_{12}|}$ ainsi que $\Delta = S_{11}S_{22} - S_{12}S_{21}$. Si ces paramètres maxima ne suffisent pas, il est alors possible de reprendre les étapes précédentes de choix de la polarisation et des inductances de façon à obtenir les résultats souhaités si ils peuvent être atteints dans la technologie choisie.
- Étape 2 : Les tracés de K et $|\Delta|$ permettent de connaître la stabilité : si $K > 1$ et $|\Delta| < 1$ alors le montage est inconditionnellement stable. Sinon, la stabilité est assurée pour les impédances de source et de charge à l'intérieur des cercles de stabilité respectivement si $|S_{11}| < |\Delta|$ et $|S_{22}| < |\Delta|$. Dans le cas contraire, la zone de stabilité est l'extérieur du cercle

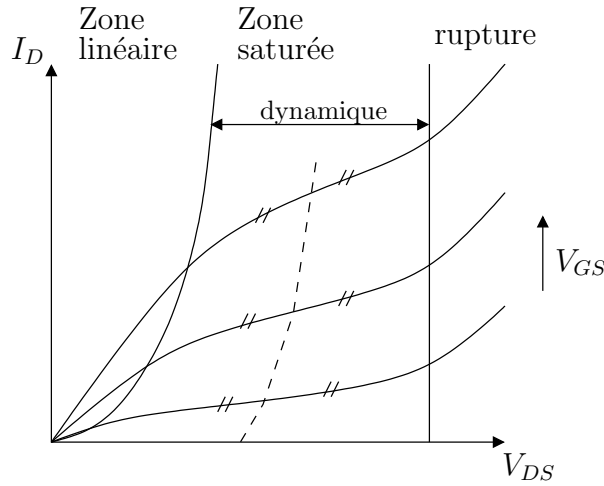


FIG. II-3.2 – Choix des paramètres de polarisation du NMOS

- considéré (entrée *SSB* ou sortie *LSB* dans le logiciel de conception Cadence). Cette étape définit les zones autorisées pour Γ_s et Γ_l .
- Étape 3 : Nous traçons ensuite les cercles de gain disponible (*GAC*), lieu des points Γ_s qui autorisent un gain GA donné. Nous superposons à ce graphe les cercles de bruit constant (*NC*) qui donnent les points Γ_s qui assure un facteur de bruit constant NF . Il y a ainsi trois domaines pour les points Γ_s qui peuvent se superposer, auquel cas le choix est facile ou au contraire être disjointes. Dans le premier cas, on pourra prendre comme paramètre Γ_s n'importe quel point du domaine précédent. Dans le second cas, il faudra faire un compromis sur la valeur du gain ou du facteur de bruit. Cela dépend alors de l'application considérée et des performances des étages suivants de la chaîne de réception.
 - Étape 4 : Il ne reste plus qu'à choisir le réseau capacitif qui ramène Γ_s^* sur 50Ω (réseau qui sera alors placé en partant du quadripôle vers la source). Si toutefois aucun Γ_s ne satisfaisait le cahier des charges, il faudrait revenir à la première étape de choix du quadripôle. Si, par contre, il existe un Γ_s mais que l'on ne peut l'adapter, il faut changer les paramètres de l'inductance.
 - Étape 5 : Il faut alors tracer les cercles de gain en puissance (*GPC*). En les superposant aux cercles *LSB* on peut calculer Γ_l . Il est aussi intéressant de tracer $\Gamma_2 = S_{22} + \frac{S_{12}S_{21}\Gamma_s}{1-S_{11}\Gamma_s}$ et d'essayer de choisir $\Gamma_l = \Gamma_2^*$. En effet, dans ce dernier cas, l'égalité entre gain disponible et gain en puissance est établie ce qui permet de s'affranchir des relations entre impédance dans les calculs et mesures de gains. Comme précédemment, si l'adaptation n'est pas réalisable, il faudra reprendre le choix de l'inductance de drain ainsi que l'ensemble des calculs présentés ci-dessus.
 - Étape 6 : Pour terminer, nous noterons que la stabilité de l'ensemble peut être améliorée en diminuant le facteur de qualité de l'inductance de drain ce qui revient à rajouter une résistance en parallèle. Ceci engendre alors un abaissement du pic de résonance sans ajout notable de bruit (voir formule de Friis).

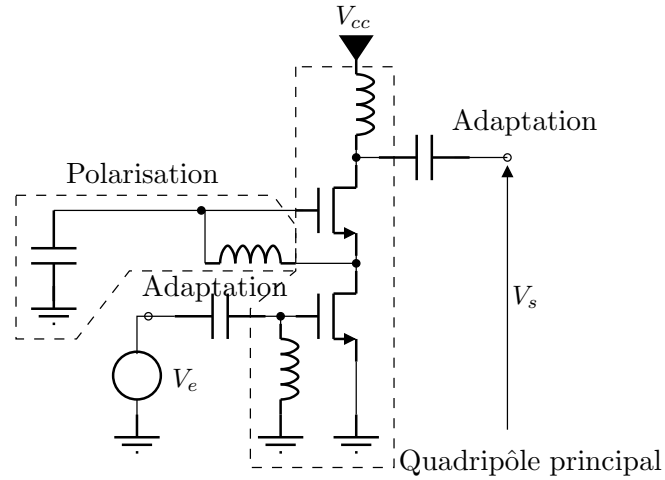


FIG. II-3.3 – Schéma des LNA AMELIE et AMNLA

II-3.4 Réalisation pratique

En appliquant les principes exposés précédemment, nous avons réalisé trois LNA : un sur le projet AMELIE, en technologie Peregrine SOS $0,5\mu m$, un sur le projet AMLNA, dans la même technologie et un sur la puce MELODIE, en technologie PSC SOS $0,25\mu m$.

Dans les cas de AMELIE et de AMLNA, nous disposons de transistors NMOS à tension de seuil négative. Une polarisation du second étage du cascode réalisée par une inductance reliant la source à la grille, cette dernière étant découplée, est alors possible comme cela est montré sur le schéma de la figure II-3.3. La différence entre les deux versions est une modification du *layout* des NMOS de façon à changer leur facteurs de forme (fig. II-3.4).

Le circuit MELODIE correspond à un changement de technologie. Les NMOS ayant une tension de seuil positive, la polarisation a dû être faite de façon traditionnelle à l'aide de pont diviseur (voir le schéma en figure II-3.5 et photographie en figure II-3.6). La similitude en terme de schéma mais la diminution de la longueur de grille permettra par comparaison avec les autres circuits d'amorcer un axe d'estimation de l'amélioration des performances avec le choix de la technologie et la diminution des longueurs de grille.

De façon générale, ces trois circuits ont été conçu afin d'obtenir les meilleurs performances en terme de gain et de bruit. De plus, pour que les résultats sous pointes soient valables mais aussi afin de respecter les contraintes d'intégration, les impédances d'entrée et de sortie ont été choisies le plus proche possible des 50Ω normalisés.

II-3.5 Protocole expérimental et résultat des mesures

L'ensemble des mesures de nos LNA a été réalisé sous pointes. Connaissant les caractéristiques principales des LNA, les mesures effectuées ont concerné :

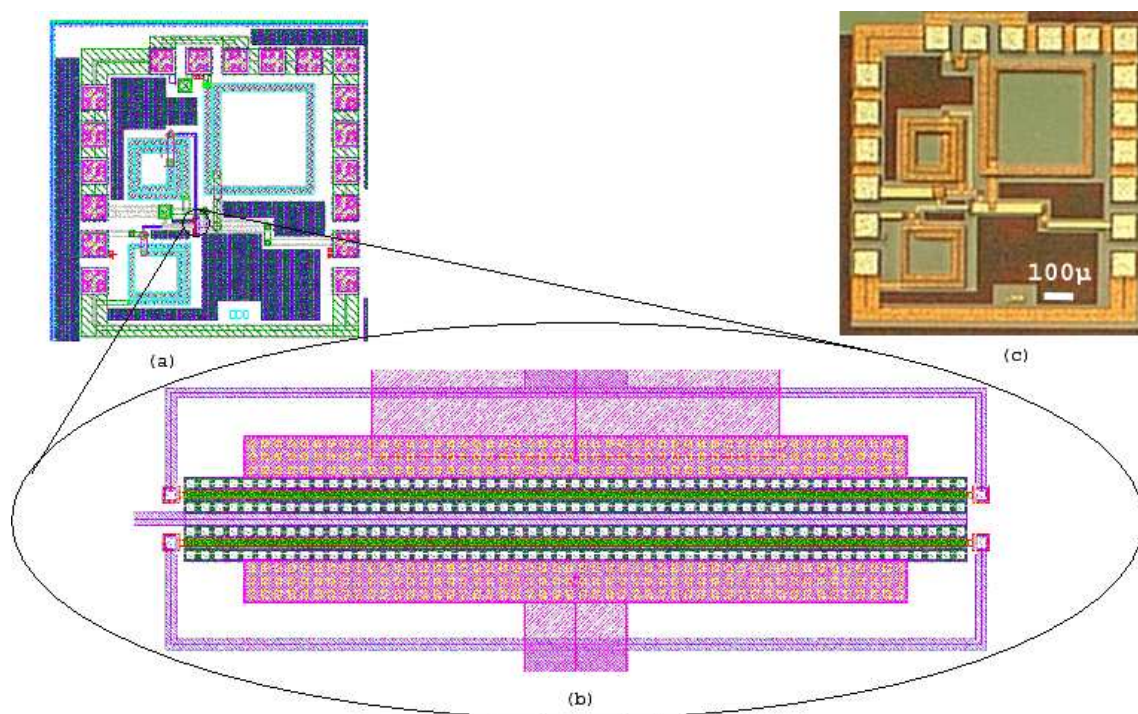


FIG. II-3.4 – (a) Implémentation des LNA AMELIE et AMNLA, (b) détail des transistors et (c) Photographie

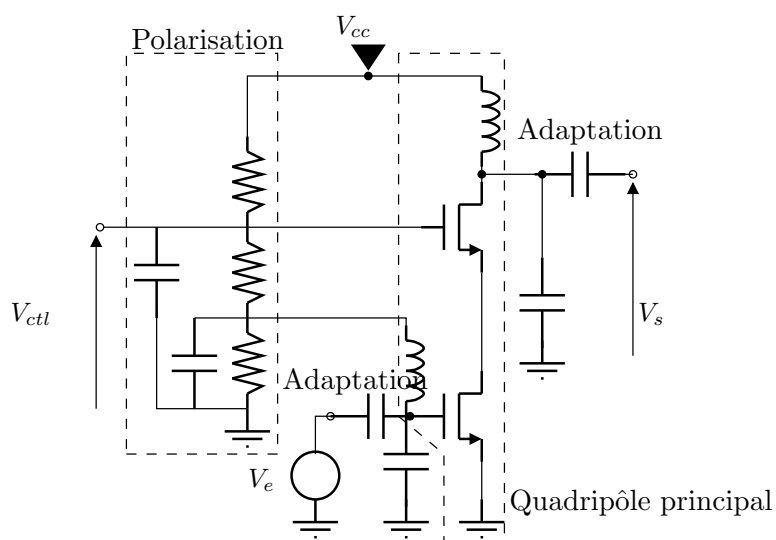


FIG. II-3.5 – Schéma du LNA MELODIE

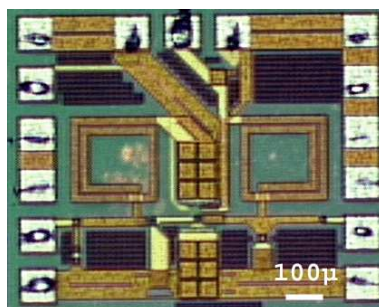


FIG. II-3.6 – Photographie du LNA MELODIE

- les paramètres S
- le facteur de bruit

Ceci permet de présenter des résultats en :

- paramètres S
- facteur de bruit
- gain
- point de compression

II-3.5.1 Mesure des paramètres S

La mesure des paramètres S s'est faite à l'aide d'un banc automatique monté autour des appareils suivants :

- Analyseur de réseau : Agilent 8510C
- Synthétiseur 26GHz : Agilent 8340
- *Test set* : coupleur et échantillonneur 40GHz

Les résultats moyens obtenus sur les différentes réalisations sont présentés en figure II-3.7.

II-3.5.2 Mesure du gain et du facteur de bruit

La mesure du facteur de bruit s'est faite à l'aide d'une valise de bruit N8975A (Agilent) couplée à une source de bruit de type N4001A. Elle fournit un résultat en bruit et en gain après étalonnage sur une piste courte de $0,5\text{mm}/50\Omega$ sur substrat AsGa en technologie PH25 de UMS. Les résultats optimum obtenus sont présentés en figure II-3.8 et comparés une simulation typique. La figure II-3.9 présente de plus les résultats de dynamique en point de compression à 1dB ramené en entrée pour le LNA AMLNA. Cette valeur est supérieure à 10dBm pour le LNA MELODIE et n'a pu être précisément mesurée.

II-3.6 Conclusion

La figure II-3.8 montrent que les structures AMELIE et AMLNA sont peu bruyantes car leur facteur de bruit est quasiment égal à la valeur de leur atténuation, c'est à dire la valeur maximum

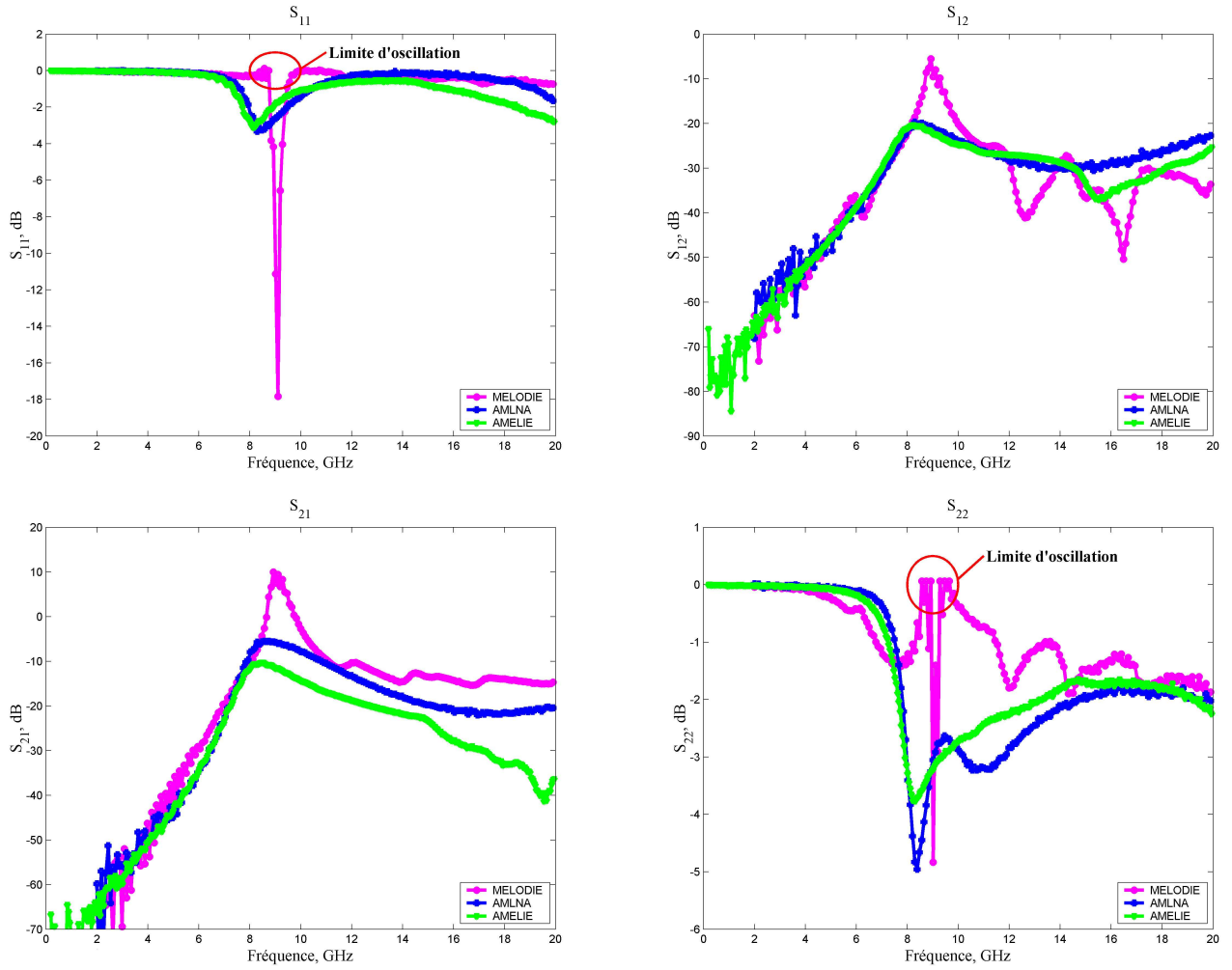


FIG. II-3.7 – Mesures en paramètres S des LNA (valeurs moyennes)

qu'il puisse avoir. En effet, par définition,

$$F = \frac{(S/B)_{in}}{(S/B)_{out}} = \frac{B_{out}/B_{in}}{G_A}$$

donc si le circuit n'apporte pas de bruit, F peut s'écrire $F = 1/G_A$, c'est-à-dire que dans le meilleur des cas, le facteur de bruit vaut l'atténuation. On peut donc en conclure que dans le cas de ces deux premiers LNA, les bruits intrinsèques des transistors sont faibles comparés aux pertes.

A l'inverse, le LNA MELODIE est bruyant par rapport à l'état de l'art mais surtout par rapport aux valeurs prévues. La simulation montre que le contributeur majoritaire en bruit peut être la résistance d'accès à la grille, selon sa valeur. Étant donné que, de plus, la mesure fait apparaître une différence de gain de $5dB$ par rapport à la simulation, la cause la plus probable est la mauvaise modélisation de la résistance de grille.

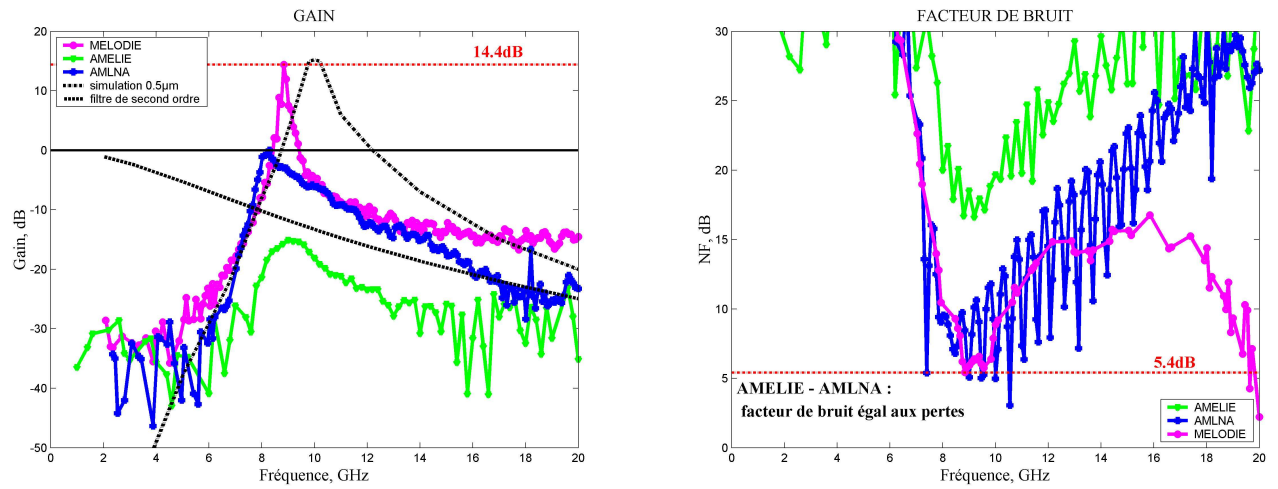


FIG. II-3.8 – Gain et facteur de bruit des LNA (valeurs optimum)

L'interprétation des performances du point de vue des retours sur la technologie et de l'intégration des récepteurs est menée au chapitre III-2.

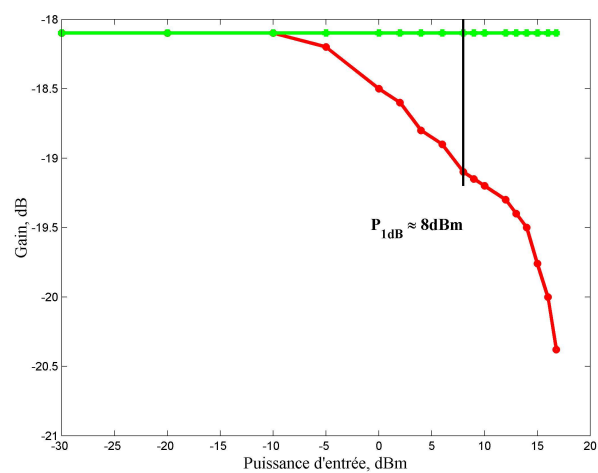


FIG. II-3.9 – Point de compression à 1dB minimum des LNA

Chapitre II-4

Étude des oscillateurs

II-4.1 Considérations théoriques préliminaires

L'oscillateur est l'élément clé des systèmes à synthèse de fréquence (chapitre I-4). Il se réalise à l'aide d'un système bouclé (figure II-4.1). Ceci conduit alors aux structures classiques présentées en figure II-4.2. En particulier, la figure II-4.2.(c) montre la structure différentielle classique la plus utilisée aujourd'hui.

C'est alors cette dernière structure que nous avons réalisée sur le circuit MELODIE en utilisant sa déclinaison CMOS afin d'obtenir le schéma final de la figure II-4.3 qui représente un VCO couvrant la bande $8.84GHz$ à $9.23GHz$ pour une technologie de $45GHz$ de fréquence de transition.

Toutefois, ceci n'a pu être réalisée sur AMELIE car la fréquence de transition n'était que de $35GHz$. La structure de la figure II-4.4 a donc été trouvée et sera détaillée dans les parties suivantes après avoir analysé les contraintes. Finalement, le protocole expérimental et les mesures seront présentés.

II-4.2 Contrainte de conception en hyperfréquence

En premier lieu, les contraintes exprimées dans le cas de la réalisation des autres structures apparaissent ici aussi. La simulation peut ne pas traduire correctement la réalité pour deux raisons

- la limitation intrinsèque des algorithmes de calcul.

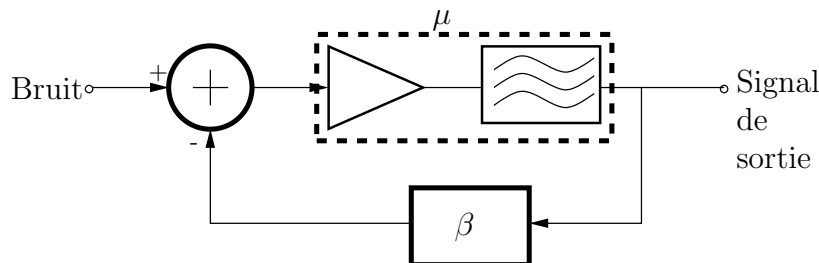


FIG. II-4.1 – Schéma de principe d'un oscillateur

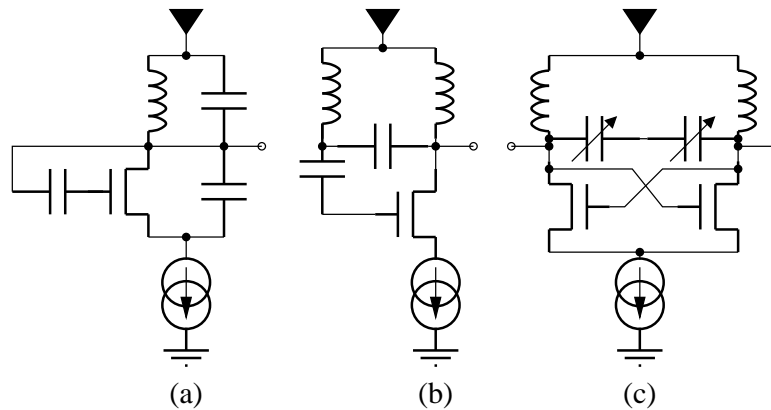


FIG. II-4.2 – Trois types d'oscillateurs classiques (a)Hartley (b)Colpitts (c)différentiel générique

- la modélisation insuffisante des MOS en haute fréquence.

Ce dernier point engendre deux types de différence entre simulation et réalité :

- d'une part la simulation peut ne pas aboutir à des oscillations ou aboutir à des oscillations à une fréquence incorrecte, à cause d'une mauvaise modélisation des éléments parasites,
- au contraire, le circuit peut osciller car le gain a été surévalué.

Par ailleurs, du fait des fortes pertes dans les transistors, l'optimisation des facteurs de qualité des éléments passifs (inductances) doit être particulièrement soignée.

II-4.3 Méthode de conception

Du point de vue industriel, la technologie est souvent le premier choix effectué, essentiellement pour des raisons de maturité et de coût. La conception d'oscillateur permet alors de distinguer trois cas de figure :

- la fréquence d'oscillation f_0 est bien inférieure à la fréquence de transition f_t ;
- f_0 est inférieure mais proche de f_t ;
- f_0 est supérieure à f_t , mais ne nous intéressant qu'à la bande X cette situation ne s'est pas présentée.

Le cas le plus simple, car ne nécessitant pas une adaptation de structure par rapport aux circuits classiques est le cas $f_0 \ll f_t$. Nous nous en approchons avec le circuit MELODIE sur lequel nous avons réalisé un VCO complet qui a par définition une fréquence commandable autorisant à la fois une variation de la fréquence mais aussi un réglage de celle-ci par rapport aux variations de *process*. La structure présentée en figure II-4.3 a donc été réalisée en technologie SOS $0.25\mu m$ de $f_t = 45GHz$ pour une fréquence f_0 allant de 8.84 à $9.23GHz$. La commande de la fréquence s'effectue en appliquant une tension continue aux diodes varicap composées de NMOS dans lesquels le drain et la source ont été reliés.

Nous avons étudié le cas f_0 voisin de f_t sur la technologie SOS $0.5\mu m$ de Peregrine, ayant une $f_t = 35GHz$ pour une $f_{0Cible} = 8.5GHz$. Dans ce cas, nous avons montré ([78]) qu'il n'est pas

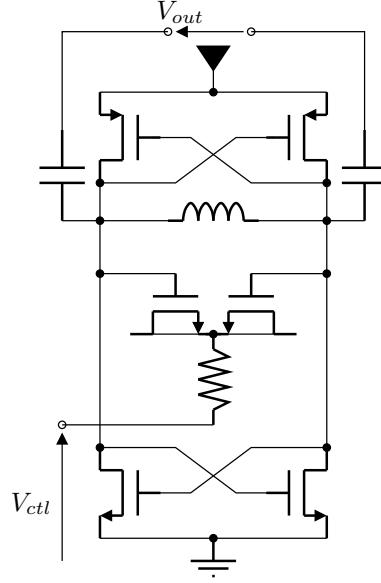


FIG. II-4.3 – Schéma de l'oscillateur MELODIE

possible de réaliser un oscillateur selon la méthode classique. Mais l'étude système de la figure II-4.1 montre qu'il reste possible de concevoir un système amplificateur, sélectif si besoin. Partant de cette constatation, nous avons fait évoluer le concept de multiplication de fréquence en intégrant la partie génératrice d'harmoniques dans l'étage de synthèse de la fréquence de base. Pour cela, le choix d'un système source d'un signal carré est intéressant sous plusieurs aspects : en premier lieu, il assure une production d'harmoniques à fort niveau, du moins pour les premières. Par ailleurs, il fournit alors un signal directement exploitable par une logique de commande, économisant ainsi le bloc diviseur pouvant être perturbateur du signal lorsqu'il est placé sur la sortie. On s'affranchit de plus du bruit généré par ce bloc. Ceci compense, avec une conception adéquate, le bruit de phase additionnel apporté par la multiplication de fréquence (nous avons montré que la variation de bruit de phase entre la n^{ieme} et la m^{ieme} harmonique est donnée par $\Delta PN_{m/n} = 20 \log(m/n)$ [78]). La structure proposée en figure II-4.4 correspond donc au diagramme de la figure II-4.5.

II-4.4 Réalisation pratique

Mises à part les remarques de réalisation déjà exprimées pour les autres structures, la conception de AMELIE a nécessité l'utilisation d'inductances de faible valeur à fort facteur de qualité ($L_{in} = 350pH$ avec $Q = 20$). Le dessin de masques n'étant pas possible avec les spirales de la banque d'inductance de Peregrine, nous avons utilisé nos résultats publiés dans [79] et [80] afin de réaliser des guides d'onde coplanaires en guise d'inductance (étude détaillée plus particulièrement au chapitre II-5 page 92). Ceux-ci sont mis en évidence sur la figure II-4.6.(a). Cette utilisation est valable dans le cas d'inductances ayant une extrémité reliée à un potentiel constant.

L'oscillateur MELODIE, dont la photographie est donnée en figure II-4.6.(b), ne comporte pas de spécificité nouvelle mais on notera le respect particulier de la symétrie de la structure afin d'éviter les

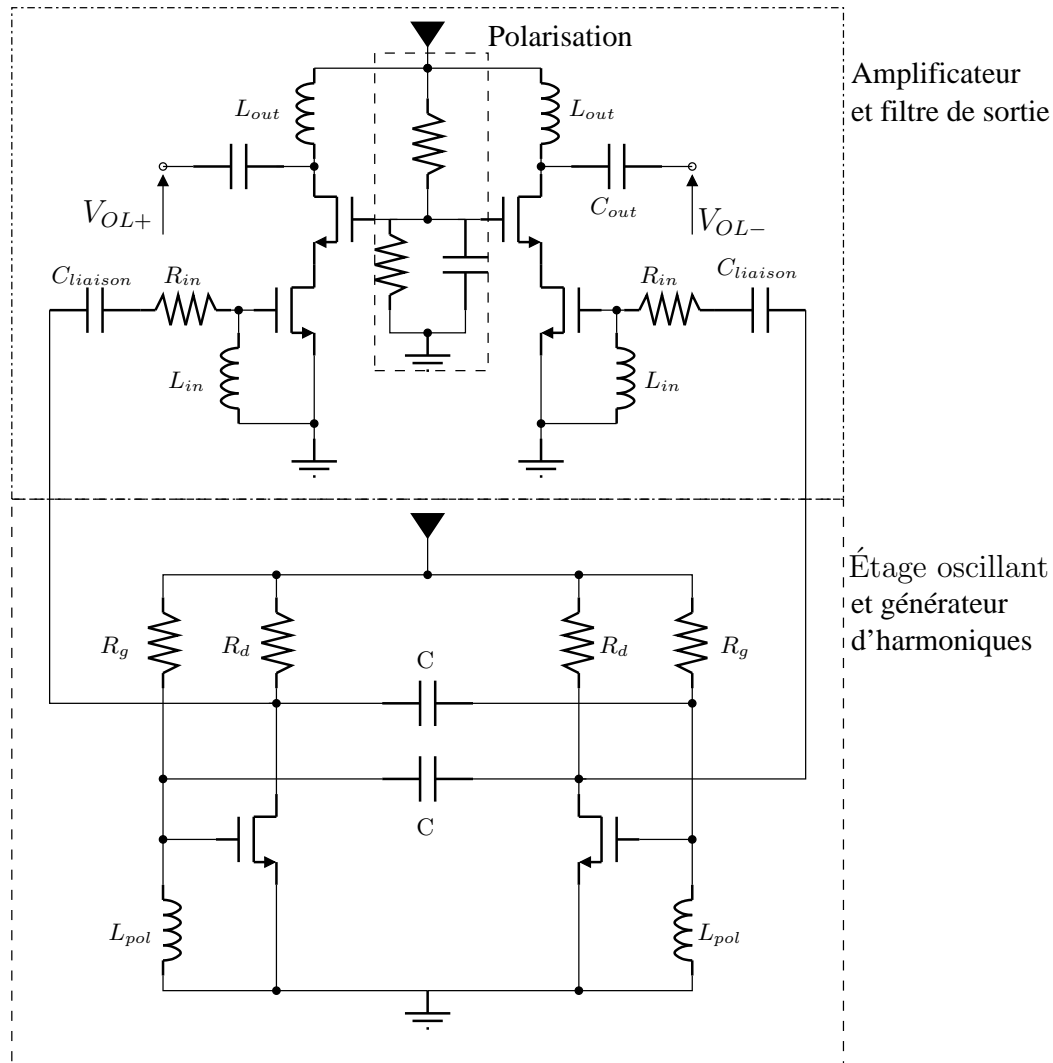


FIG. II-4.4 – Schéma de l'oscillateur AMELIE (Petit *et al.*, [78])

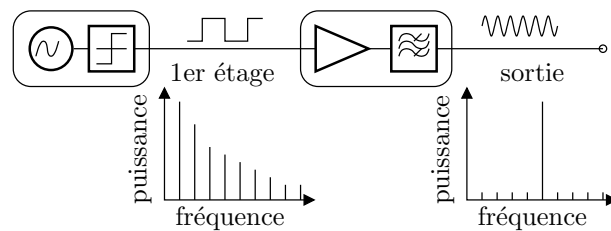


FIG. II-4.5 – Principe d'un type d'oscillateur pour le cas $f_0 \approx f_t$ (Petit *et al.*, [78])

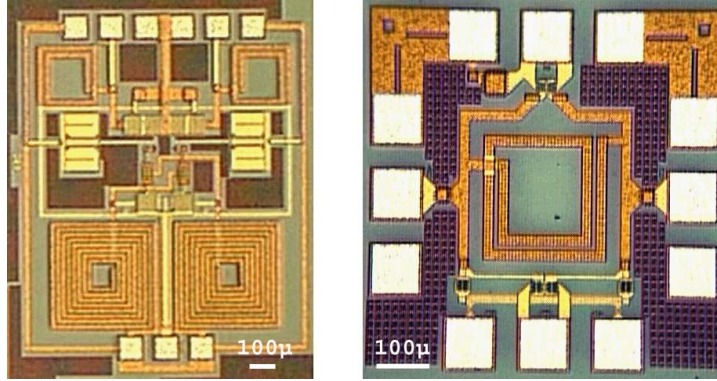


FIG. II-4.6 – Photographie des oscillateurs (a)AMELIE et (b)MELODIE

éléments parasites et en particulier l'apparition d'harmoniques paires issues d'un mode commun. De plus, pour réaliser cet oscillateur, nous avons modifié le modèle du PMOS comme cela a été décrit au chapitre II-1.

II-4.5 Protocole expérimental et résultat des mesures

Dans le cas des oscillateurs il est nécessaire de mesurer trois types d'information : le niveau des différentes harmoniques (HP 8565E), le bruit de phase (évalué ici de façon grossière à l'aide d'un analyseur de spectre possédant un module bruit de phase de type Agilent E4440A) et, si cela s'applique, la plage d'accord de fréquence. Les figures II-4.7 et II-4.8 présentent les deux premiers pour AMELIE et MELODIE et la figure II-4.9 donne la variation de la fréquence centrale en fonction de la commande dans le seul cas de MELODIE puisque AMELIE ne comporte pas de dispositif de commande. Les consommations des montages sont conformes à celles prévues en simulation et sont de $26mA$ sous $5V$ pour AMELIE et de $7,14mA$ sous $2,7V$ pour MELODIE. Il est intéressant de noter que dans ce dernier circuit, la seconde harmonique, située à $17,7GHz$ est rejetée à $-30dBc$.

II-4.6 Conclusion

Les résultats de mesure de l'oscillateur MELODIE font ressortir une bonne adaptation de la technologie $0,25\mu m$ à la réalisation de VCO. Les varicaps sont réalisées à l'aide de NMOS dont le drain et la source sont reliés. Elles s'avèrent suffisamment précises à condition d'en soigner l'implantation, bien qu'elles ne soient pas modélisées dans le *design kit*.

Les résultats en bruit de phase font apparaître une remontée du bruit à $4MHz$ de la porteuse qui est classique avec les technologies CMOS SOI et qui semble dû à un piégeage des charges dans le caisson ([81]). N'ayant pas d'accès à ce dernier, nous n'avons pu le mettre à la masse et ainsi créer un écoulement des charges, mais cette piste de recherche reste ouverte.

L'interprétation des performances du point de vue de l'intégration des récepteurs est menée au chapitre III-2.

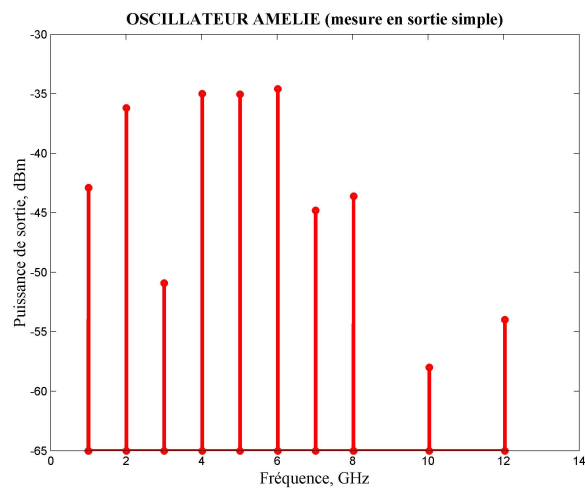


FIG. II-4.7 – Signal de sortie de l'oscillateur AMELIE

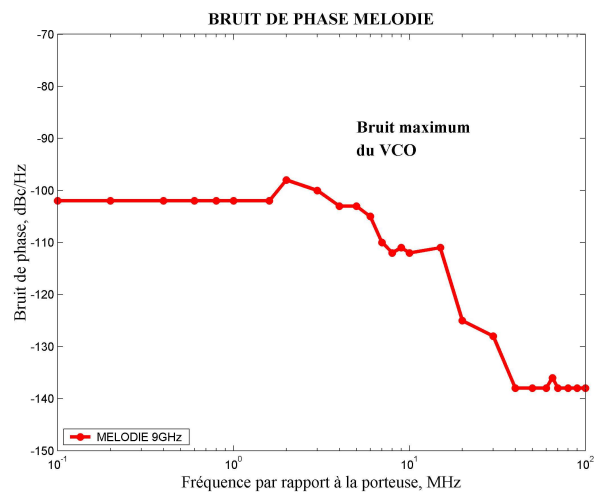
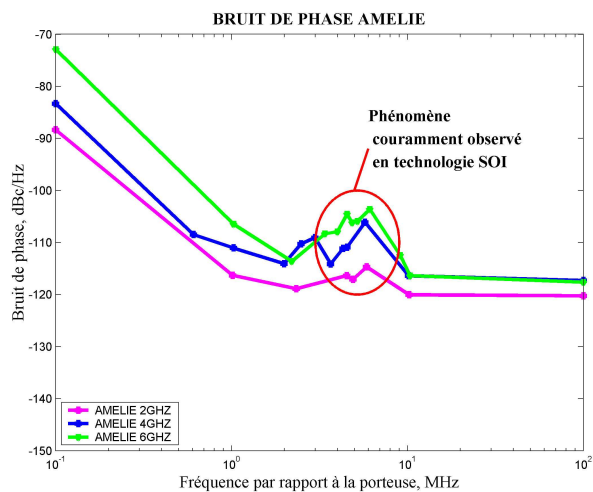


FIG. II-4.8 – Bruit de phase des oscillateurs AMELIE (selon l'harmonique) et MELODIE

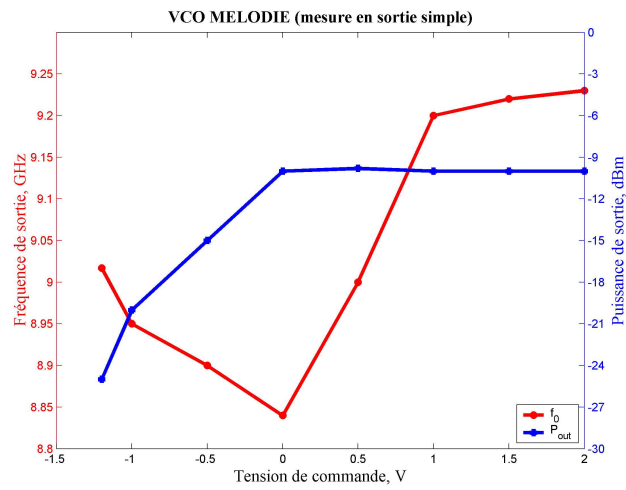


FIG. II-4.9 – Plage de variation de la fréquence de l'oscillateur MELODIE en fonction de la tension de commande

Chapitre II-5

Étude des mélangeurs

II-5.1 Considérations théoriques préliminaires

Le mélangeur est constitué par un système de multiplication de signaux associé à un filtre. Le multiplieur transpose le signal utile autour de deux fréquences symétriques par rapport à la porteuse initiale. Pour chaque fréquence intermédiaire, il existe une fréquence image (chapitre I-5). La figure II-5.1 schématise les intermodulations qui peuvent se produire.

Le filtrage sert à éliminer la fréquence image ainsi que la fréquence intermédiaire inutile. Pour arriver à un schéma en technologie MOS, nous utilisons un multiplieur de base constitué par une cellule de Gilbert (voir chapitre I-5). Le filtrage est alors réalisé par un simple filtre dans le cas de notre circuit AMELIE (fig. II-5.2), ou par un traitement plus complexe avec des structures de type Weaver ou Hartley dans le circuit MELODIE (fig. II-5.3).

Dans les parties suivantes, nous verrons en détail les contraintes de conception, la méthode de réalisation, et les résultats expérimentaux.

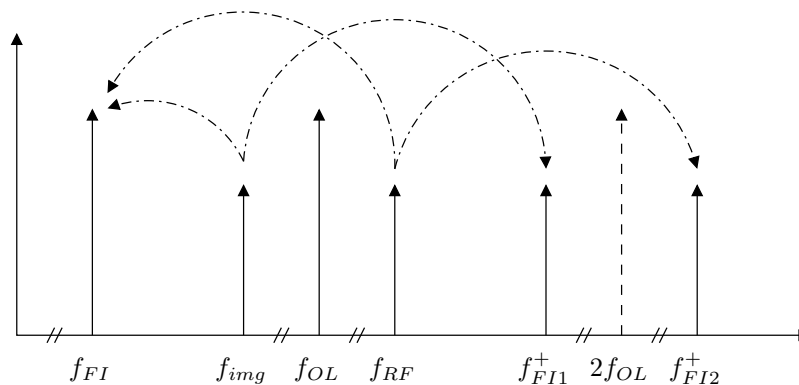


FIG. II-5.1 – Action fréquentielle des mélangeurs

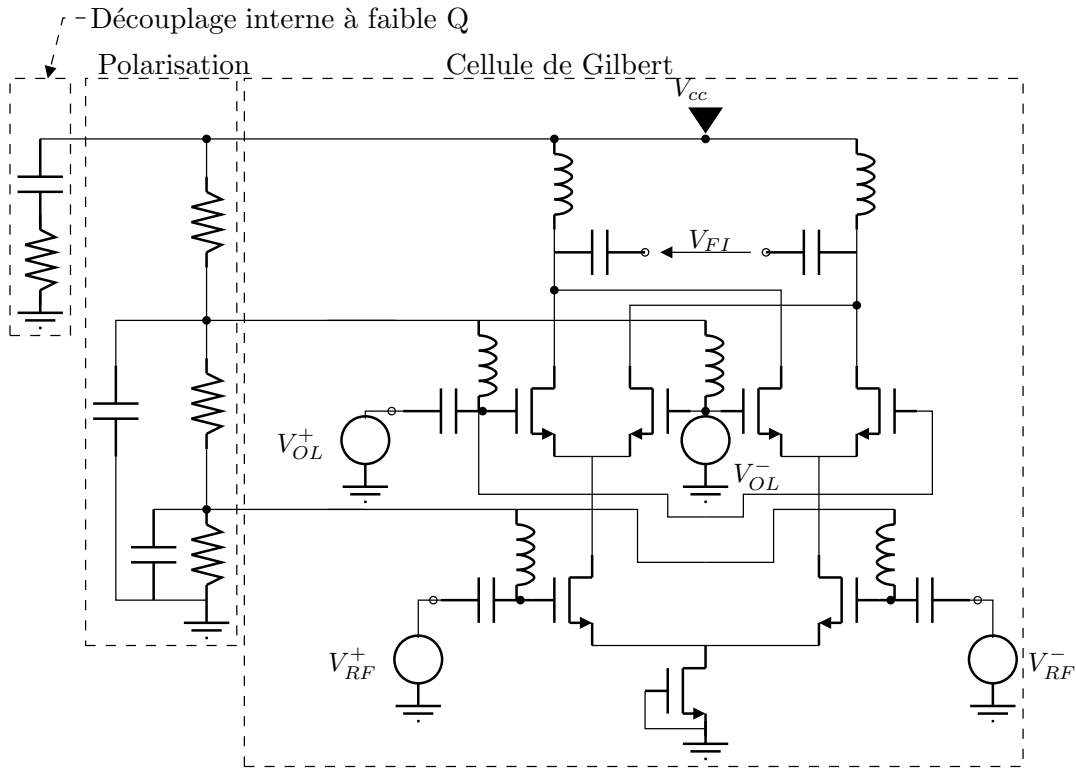


FIG. II-5.2 – Schéma du mélangeur AMELIE

II-5.2 Contrainte de conception en hyperfréquence

Par rapport aux structures relativement basse fréquence pour lesquelles les inductances ne peuvent être pratiquement réalisées sur le circuit mais doivent être mises à l'extérieur, l'intérêt de l'étude des structures CMOS à 10GHz est d'autoriser une intégration complète des éléments. Toutefois, les dimensions des inductances en particulier mais aussi des capacités de découplage internes ne sont pas tout à fait négligeables devant la longueur d'onde (de l'ordre de $200\mu m$ de diamètre pour les inductances). Ainsi, une attention particulière doit être portée au dessin des pistes ainsi qu'au placement des inductances afin d'éviter au maximum les couplages parasites. Les résultats publiés par Jean-Pierre Raskin ([82]) montrent que ces couplages dépendent du type de substrat utilisé (*bulk* standard, SOI ou SOI à forte résistivité), de la présence ou non de plan de masse arrière mais aussi du rapport de la longueur d'onde sur l'espacement. La figure II-5.4 schématise la différence fondamentale des rayonnements de ligne sur un substrat classique en hyperfréquence (AsGa) et sur un substrat SOS.

De plus, on peut montrer que la taille des inductances est liée à la fois à leur valeur mais aussi à leur facteur de qualité. Dans [79] et [83], nous avons montré que certaines valeurs du couple (L, Q) nécessitaient une conception différente des inductances, non plus sous forme de spirale imprimée mais en guide d'onde, renouant ainsi avec les méthodes traditionnelles des hyperfréquences.

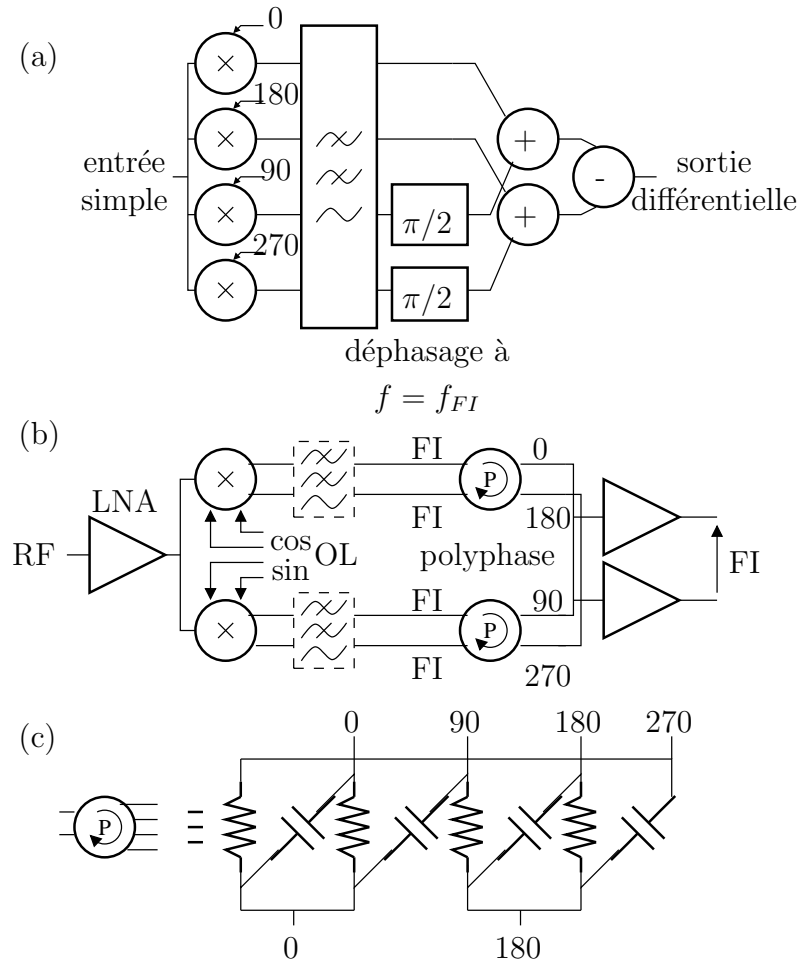


FIG. II-5.3 – (a)Synoptique du mélangeur MELODIE, (b)réalisation pratique et (c)schéma d'un réseau polyphase du premier ordre

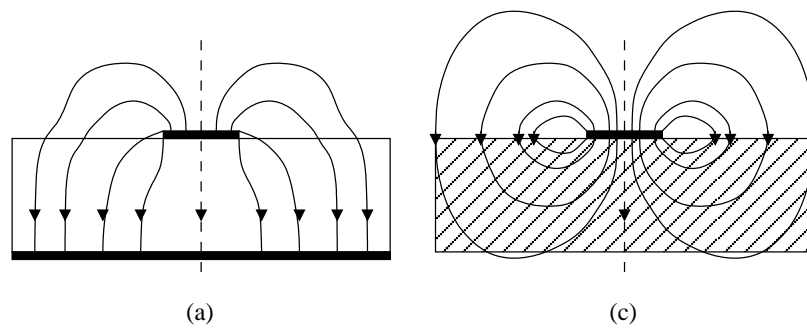


FIG. II-5.4 – Rayonnement électrique (a)microstrip classiques sur AsGa et (b)pistes sur isolant

II-5.3 Méthode de conception

Il faut en premier lieu choisir une structure de multiplieur. Une structure simple ne peut être utilisée que si les éléments passifs ont des performances suffisantes pour réaliser un filtrage adéquat. Un système plus complexe nécessite, d'une part, des performances en terme de bruit des éléments actifs et d'autre part, une implémentation particulièrement soignée du point de vue de la symétrie des structures.

II-5.3.1 Conception d'un multiplieur

Dans AMELIE, la première solution est utilisée mais les transistors ne présentant pas un gain suffisant à 10GHz pour diminuer le bruit global. La conception des mélangeurs a mis en évidence le rôle crucial des inductances de faible valeur à fort coefficient de qualité. C'est pourquoi nous développons plus particulièrement ici leur étude.

Ces inductances servent aux filtres d'entrée et de sortie mais sont aussi utilisées pour la polarisation. Elles sont donc reliées à un potentiel constant à l'une de leurs extrémités. Ceci permet de réaliser facilement des guides d'onde coplanaires dont nous avons démontré ([79]) qu'ils peuvent posséder les performances requises. Dans [83], nous présentons de plus une méthode permettant de choisir entre une inductance imprimée classique et un guide d'onde :

- Étape 1 : Dans un premier temps une expression simple mais précise de l'inductance d'une spirale imprimée doit être trouvée. L'étude de la physique des inductances, surtout d'un point de vue fréquentiel (fig. II-5.5-(b)), permet d'extraire le modèle classique de la figure II-5.5-(a) ([84], [85], [86] et [34]). Dans le cas général des inductances imprimées, les pertes dans le substrat ne peuvent être négligées et sont modélisées par deux capacités couplées à la masse en série avec des résistances modélisant la résistivité du substrat (fig. II-5.6 selon [87]). Ce dernier effet consomme de la puissance et doit donc être limité par le choix d'un substrat parfaitement isolant comme dans le cas d'une technologie SOS ou par un conducteur parfait jouant le rôle d'écran comme par exemple un plan de masse avant le substrat ([85]). Les capacités parasites ne peuvent être supprimées que par la suppression du chemin de retour ce qui est le cas d'une technologie SOS sans plan de masse sous le substrat. Dans le cas des inductances imprimées, les premières formules extraites des comportements précédents ont été établies par Wheeler au début des années 20 ([88]). Ces résultats ont été actualisés depuis afin de correspondre aux caractéristiques des technologies MOS actuelles. Ils sont résumés par la formule II-5.1 qui présente un taux d'erreur inférieur à 3% par rapport aux simulations électromagnétiques ([84]).

$$L_{mw} = K_1 \mu_0 \frac{n^2 d_{avg}}{1 + K_2 \rho} \quad (\text{II-5.1})$$

avec

n : nombre de tours

w : largeur de la piste

s : espacement entre les pistes

$\rho = \frac{d_{out} - d_{in}}{d_{out} + d_{in}}$: taux de remplissage

$d_{avg} = 1/2(d_{out} + d_{in})$: diamètre moyen

d_{in} and d_{out} : diamètres interne et externe de l'inductance

K_1 and K_2 : coefficient de forme déterminés expérimentalement et donnés par le tableau II-5.1

Shape	K_1	K_2
Square	2.34	2.75
Hexagonal	2.33	3.82
Octagonal	2.25	3.55

TAB. II-5.1 – Coefficients de formes pour la formule de Wheeler modifiée

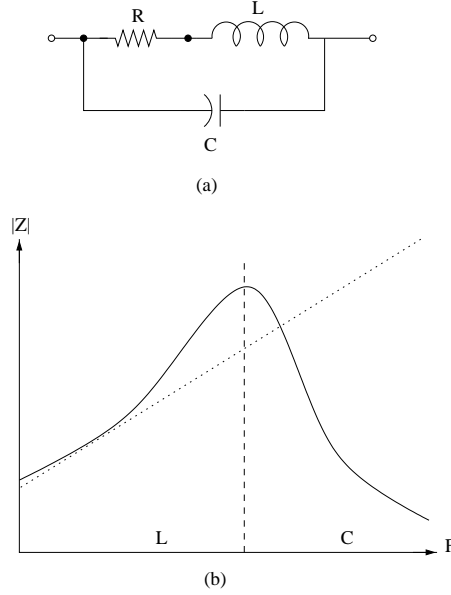


FIG. II-5.5 – (a) Modèle naturel de l'inductance et (b) comportement fréquentiel

D'autres formules existent, déterminées à partir de calculs électromagnétiques ou fondées sur une extraction statistique de modèles, mais les résultats sont voisins. Nous avons choisi d'utiliser cette formule qui permet de corriger les paramètres qui restent physiquement concevable mais la méthode est suffisamment générique pour permettre l'adaptation à n'importe quelle autre prédétermination de la valeur de l'inductance.

- Étape 2 : Dans un second temps, il faut s'intéresser au facteur de qualité Q qui est le rapport entre l'énergie stockée et l'énergie dissipée ([89]). À partir du modèle de l'inductance de la figure II-5.6, on peut écrire :

$$Q = \frac{\omega L}{R_s} \quad (\text{II-5.2})$$

- Étape 3 : Puis, il faut étudier les lignes qui permettent dans les technologies classiques telles que l'AsGa de réaliser des composants répartis. Elles peuvent être de plusieurs types allant des *microstrips* (II-5.7-(a)) aux *striplines* (II-5.7-(d)) en passant par les guides d'onde coplanaires (CPW-*CoPlanar Waveguides*) (II-5.7-(b)) et les lignes à fentes (II-5.7-(c)). Ces deux dernières peuvent être réalisées avec ou sans plan de masse. Ces lignes peuvent toutes être vues comme le dessin d'une inductance particulière à moins d'un tour, mais le point de vue classique revient à utiliser une méthode de calcul différente. En particulier dans le cas d'un guide d'onde coplanaire sans plan de masse (figure II-5.7-(b)), parfaitement adapté à une technologie SOS, on peut écrire

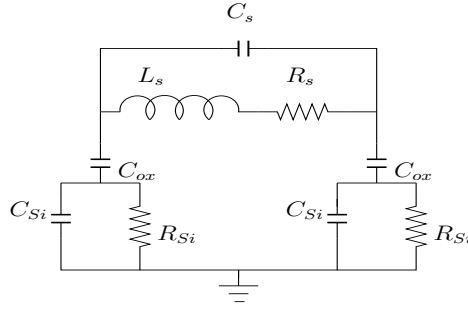


FIG. II-5.6 – Modèle d'une inductance imprimée

la valeur de l'impédance caractéristique pour toutes les fréquences du continu à la bande X ([90] construit à partir du modèle quasi-statique donné par [91]) :

$$Z_c = \frac{30\pi}{\sqrt{\epsilon_{re}}} \frac{K'(k)}{K(k)} \quad (\text{II-5.3})$$

avec

$$k = \frac{w}{w + 2s} \quad (\text{II-5.4})$$

et $K(k)$ l'intégrale elliptique complète du premier ordre. Le rapport $K'(k)/K(k)$ peut être calculé de façon précise en utilisant ([92]) les équations II-5.5 pour $\sqrt{2} < k \leq 1$ et II-5.6 pour $0 \leq k \leq \sqrt{2}$ et $k' = \sqrt{1 - k^2}$.

$$\frac{K(k)}{K'(k)} = \frac{1}{\pi} \ln\left(2 \frac{1 + \sqrt{k}}{1 - \sqrt{k}}\right) \quad (\text{II-5.5})$$

$$\frac{K(k)}{K'(k)} = \frac{\pi}{\ln\left(2 \frac{1 + \sqrt{k'}}{1 - \sqrt{k'}}\right)} \quad (\text{II-5.6})$$

Enfin les travaux de Bahl ([93]) donnent :

$$\epsilon_{re} = \frac{\epsilon_r + 1}{2} \quad (\text{II-5.7})$$

On passe alors à l'impédance de la ligne par l'équation II-5.8 valable pour une ligne sans perte.

$$Z(l) = Z_c \frac{Z_R + jZ_c \tan(\beta l)}{Z_c + jZ_R \tan(\beta l)} \quad (\text{II-5.8})$$

avec l la longueur de la ligne, Z_R l'impédance de charge et $\beta = \omega/v$ avec $v = c/\sqrt{\epsilon_{re}}$ la vitesse réelle de l'onde dans le conducteur.

- Étape 4 : Le calcul du coefficient de qualité d'un guide d'onde utilisé en inductance ne pose pas de difficulté et celui-ci est encore donné par l'équation II-5.2
- Étape 5 : Il faut ensuite analyser et comparer les performances de ces deux solutions. Le point principal de l'équation II-5.2 est la connaissance de R_s . Le moyen le plus simple de l'estimer consiste à utiliser la formule directe qui donne :

$$R_s(l) = \frac{l}{\sigma} \quad (\text{II-5.9})$$

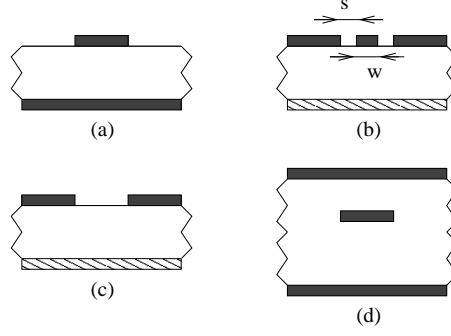


FIG. II-5.7 – Différentes sortes de ligne

avec σ la conductivité du niveau de métal considéré. Du point de vue industriel, le point critique du dessin des inductance est lié à son rapport qualité/prix qui dépend directement de la surface de silicium utilisée. Supposons alors cette surface maximale fixée, c'est-à-dire posons d_{out} . Nous pouvons alors écrire pour l'inductance carrée de la figure II-5.8 que le k^{ieme} tour depuis l'extérieur a un diamètre $d(k) = d_{out} - 2k(w + s)$. Ce qui amène d'une part

$$d_{in} = d_{out} - 2(n - 1)(w + s) \quad (\text{II-5.10})$$

D'autre part, en posant l la longueur totale du chemin de l'inductance hors accès en entrée et en sortie, on peut écrire par récurrence que

$$l = 4 \left(n(d_{out} - w) - 2(w + s) \frac{n(n - 1)}{2} \right) \quad (\text{II-5.11})$$

puisque chaque tour possède une longueur $4(d(k) - w)$ (figure II-5.8). Ainsi, l'équation II-5.1 s'écrit :

$$L_{mw} = \frac{K_1 \mu_0 n^2 [d_{out} - (n - 1)(w + s)]}{1 + K_2 \frac{(n-1)(w+s)}{d_{out} - (n-1)(w+s)}} \quad (\text{II-5.12})$$

Et nous pouvons résoudre (II-5.11) par :

$$n = \frac{1}{2(w + s)} \left[d_{out} + s \pm \sqrt{(d_{out} + s)^2 - l(w + s)} \right] \quad (\text{II-5.13})$$

- Étape 6 : La longueur l (qui est équivalente à R et donc Q) doit être calculée en résolvant les équations II-5.12 et II-5.13 précédentes pour la valeur de l'inductance souhaitée. Elle est présentée en figure II-5.9 pour L comprise entre $100pH$ et $1nH$, $w = 5\mu m$ et s comprise entre $1\mu m$ et $50\mu m$ qui sont des valeurs classiques sur substrat CMOS. La figure II-5.10 montre que pour d_{out} fixé, le facteur de qualité ne peut être étendu à des valeurs utiles pour des inductances de valeur L trop faibles ou lorsque la fréquence est trop élevée nécessitant une valeur s grande pour minimiser C_s et conserver une inductance ayant le "comportement en L " présenté sur la figure II-5.5. On peut alors opposer la solution des CPW en supposant qu'il n'y a pas de plan de masse sous le saphir ($\epsilon_r = 10.5$). En utilisant (II-5.8) avec $w = 5\mu m$, $s = 30\mu m$ et $Z_R = 0$, on peut écrire $Z(l) = Z_c \beta l$ pour une fréquence suffisamment grande qui permette d'écrire $\beta l \ll 1$. Alors, l'expression de l en fonction de L est :

$$l = \frac{cL}{Z_c \sqrt{\epsilon_{re}}} \quad (\text{II-5.14})$$

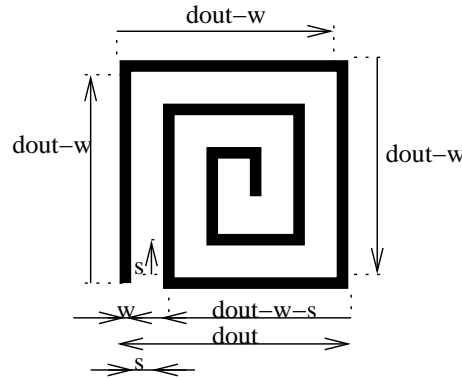


FIG. II-5.8 – Inductance carrée intégrée

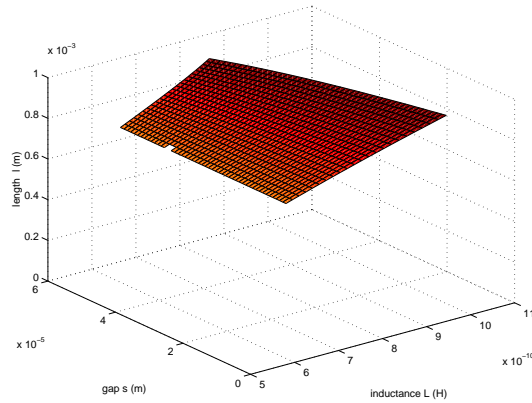


FIG. II-5.9 – l en fonction de L et s pour une inductance carrée

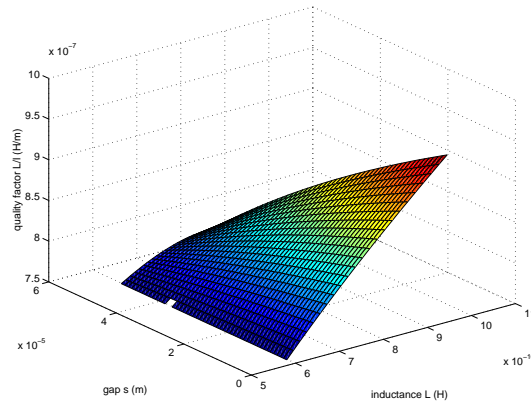
Cette méthode permet alors de réaliser une inductance de 200pH avec un $l = 256\mu m$ et qui utilise une surface de silicium plus faible qu'une inductance classique carrée.

II-5.3.2 Conception d'un mélangeur complet

Dans MELODIE, nous avons choisi l'approche par annulation différentielle des défauts. Sur la base d'une structure de Hartley (figure I-5.7), nous proposons une structure qui présente les avantages des DBM et de la réjection de fréquence image. Nous proposons une méthode simplifiée de dimensionnement des structures grâce au calcul présenté en figure II-5.11. Ce diagramme donne la forme des signaux sur chaque équipotentielle selon que l'entrée a été prise sur la fréquence f_{RF} ou sur la fréquence f_{img} . Il permet de choisir le signal utile en sortie et de dimensionner le récepteur.

II-5.4 Réalisation pratique

Le schéma du circuit AMELIE est présenté en figure II-5.2. Comme cela a été dit au chapitre I-5, une cellule de Gilbert réalise la fonction de multiplication, celle de filtrage étant réalisée par des réseaux placés en entrée et en sortie. Comme dans le cas des LNA, ces derniers réalisent aussi la fonction de polarisation des transistors MOS. Cette structure présente l'avantage de la simplicité, c'est-à-dire qu'une variation de la valeur des éléments n'influe pas sur la fonction à réaliser. En


 FIG. II-5.10 – L/l en fonction L et s pour une inductance carrée

contrepartie, les faibles facteurs de qualité des filtres imposent des faibles réjections des fréquences indésirables (figure II-5.12).

A l'inverse, le circuit MELODIE utilise un système de type Hartley à réjection de fréquence image dont le synoptique est présenté figure II-5.3. Les performances en terme de multiplication sont identiques à celle de AMELIE, dans la mesure où cette fonction est réalisée par une cellule de Gilbert. Par contre, la structure de rejection (détaillée et démontrée dans la figure II-5.11) permet un meilleur filtrage sans pour autant avoir recours à des éléments passifs trop critiques. En pratique, MELODIE a été réalisée en technologie $SOS0,25\mu m$ et AMELIE en $SOS0,5\mu m$. Les performances des transistors ont évolué (f_t respectivement de 45 et 35GHz) mais les structures passives sont restées strictement identiques. Dans le cas de MELODIE, il a de plus été choisi d'intégrer le LNA décrit précédemment dans le circuit ce qui rend ce "mélangeur" complet et beaucoup plus proche du front-end intégré dont nous souhaitons montrer la faisabilité en technologie CMOS (figure II-5.13).

II-5.5 Protocole expérimental et résultat des mesures

L'ensemble des mesures de nos mélangeurs a été réalisé sous pointes sur le banc déjà présenté. Les mesures effectuées ont concerné les caractéristiques importantes des mélangeurs :

- les gains
- le facteur de bruit

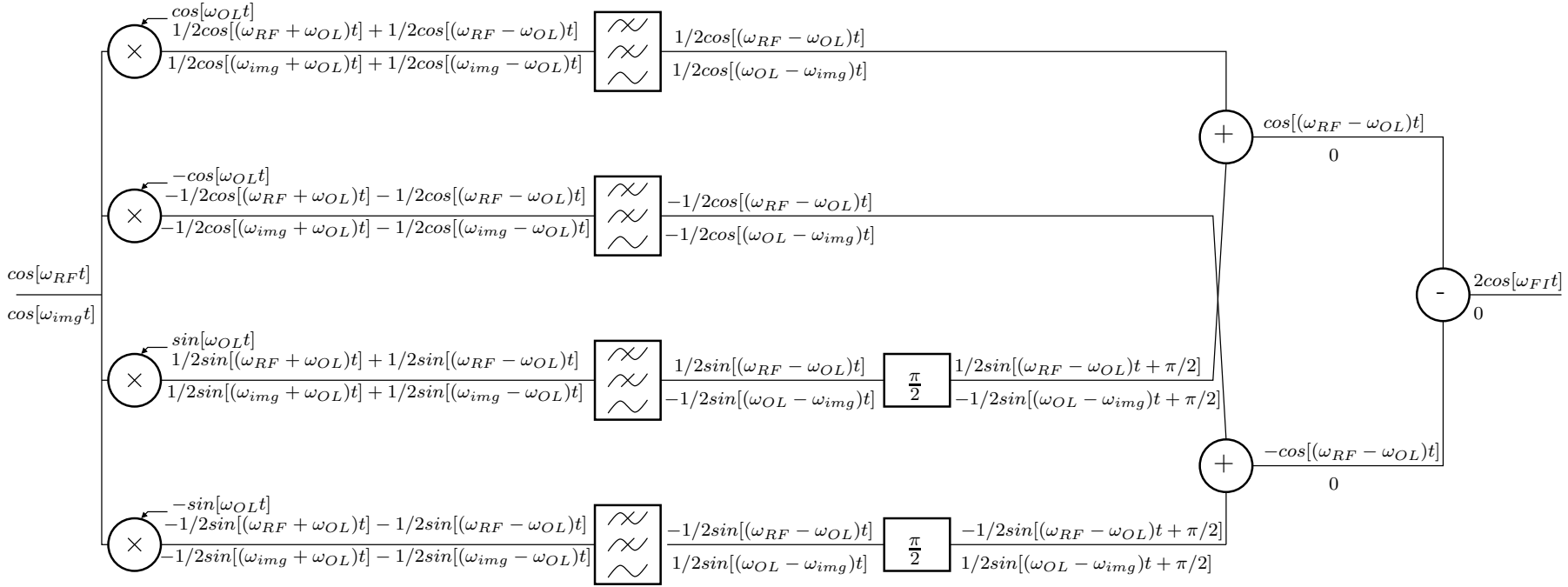
Ceci permet de présenter des résultats en :

- facteur de bruit
- gain
- point de compression
- dépendance au niveau d'OL

II-5.5.1 Mesure des gains

La mesure des gains s'est faite à l'aide des appareils suivants :

- Générateur RF : Anritsu 68037C
- Générateur OL : Agilent 8341A
- Mesure IF : Agilent 8565E



déphasage à

$$f = f_{FI} = f_{RF} - f_{OL} = f_{OL} - f_{img}$$

Schéma bloc du mélangeur MELODIE et forme des signaux sur chaque équipotentielle

FIG. II-5.11 – Démonstration de la réjection de fréquence image dans MELODIE

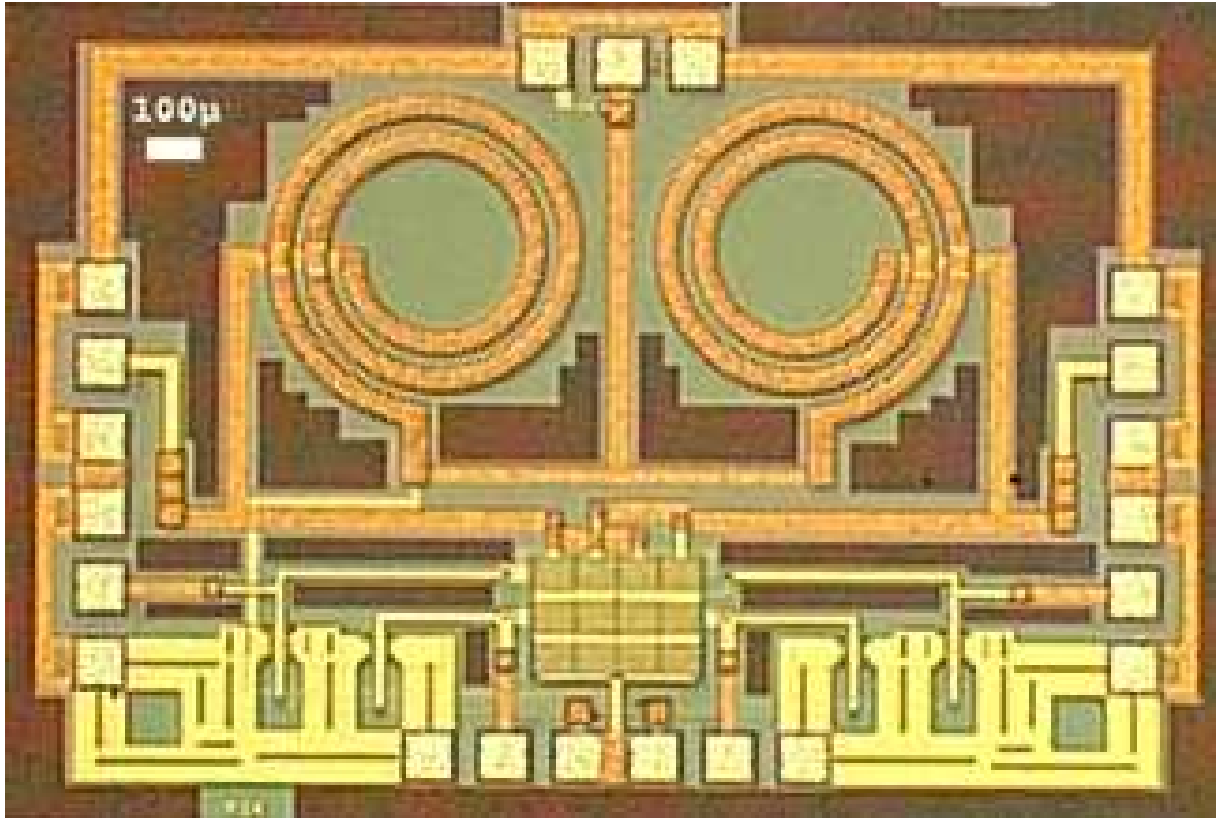


FIG. II-5.12 – Photographie du mélangeur AMELIE

Les résultats obtenus sont présentés en figure II-5.14. On a pu en déduire la compression présentée en figure II-5.15. Ils ont été mesurés pour une tension d'alimentation de 5V sur AMELIE (consommation de 22mA) et pour les trois tensions d'alimentation 5V, 4V et 3V sur MELODIE (consommation de respectivement 3mA, 54mA et 4,8mA pour les étages LNA d'entrée, *buffer* de sortie et multiplieur). La valeur du courant sur l'alimentation de 5V est très différente de la valeur 30mA prévue par simulation, indiquant que seul le circuit de polarisation consomme et expliquant les faibles valeurs du gain.

II-5.5.2 Mesure du facteur de bruit

La mesure du facteur de bruit a utilisé le même matériel que dans le cas des LNA, la valise de bruit fonctionnant dans son mode transposition de fréquence. Toutefois, les gains étant trop faibles, les mesures ne sont pas valables. De plus, à partir du moment où les mélangeurs ne possèdent pas de gain, la mesure du bruit présente peu d'intérêt puisqu'elle est forcément minorée par la valeur absolue des pertes.

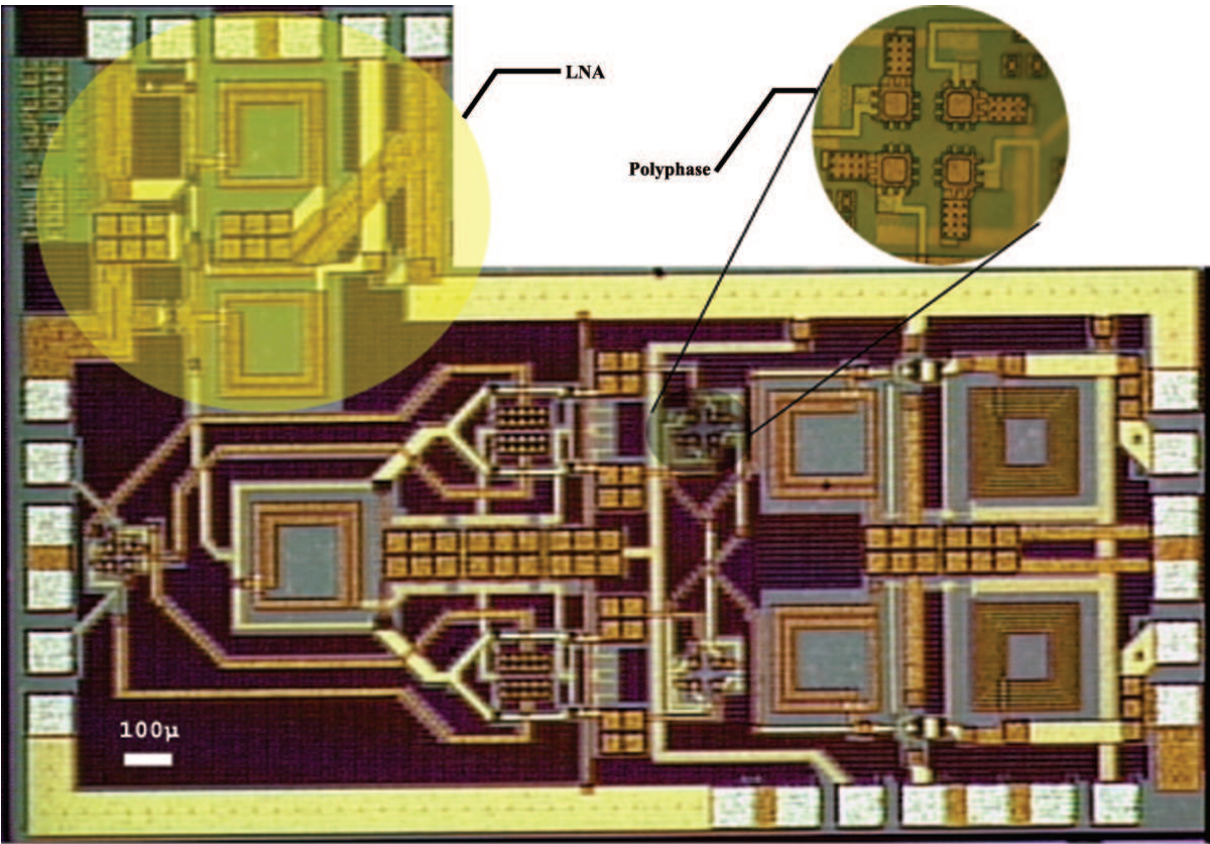


FIG. II-5.13 – Photographie du mélangeur MELODIE

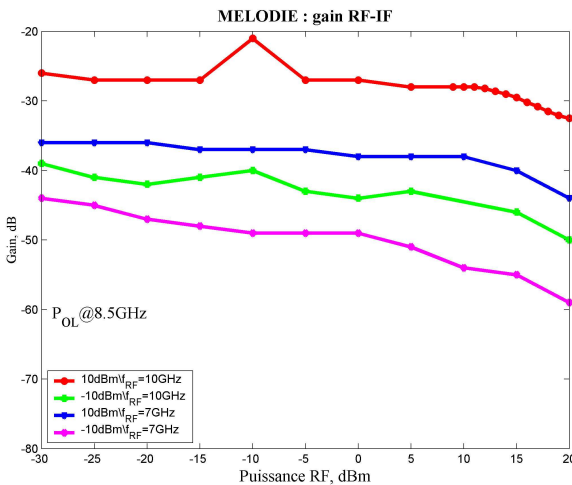
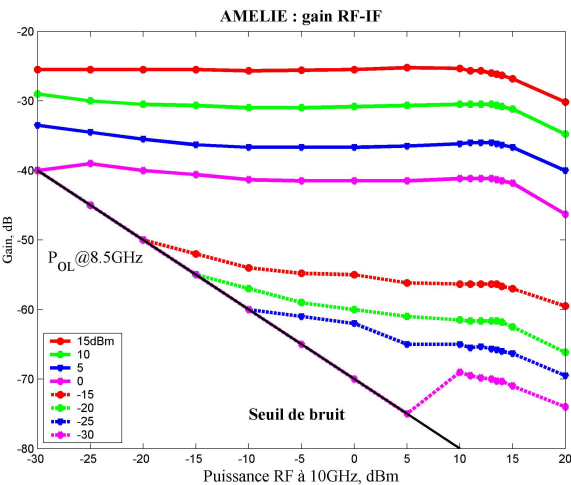


FIG. II-5.14 – Gains des mélangeurs

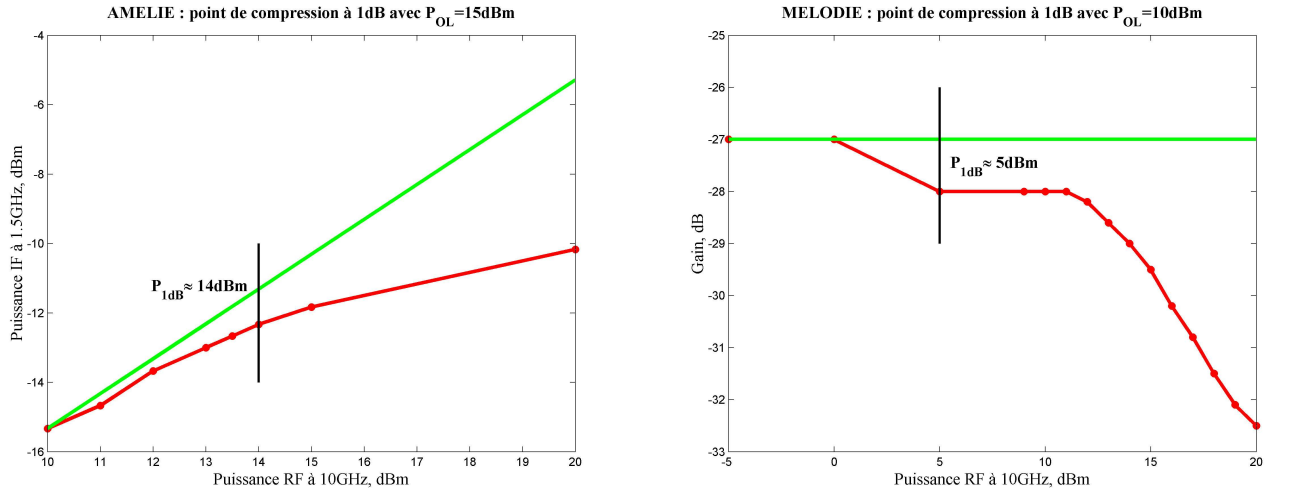


FIG. II-5.15 – Point de compression des mélangeurs

II-5.6 Conclusion

L'ensemble des mesures présentées montre une réalisation effective des fonctions souhaitées mais fait ressortir le manque de gain qui apparaissait déjà avec les LNA. En partant de l'étude de ces derniers blocs, et particulièrement du fait que les décalages constatés se produisent toujours dans le même sens, on peut conclure qu'une fois encore la modélisation des transistors et particulièrement de leur réponse en fréquence atteint ses limites.

Une discussion plus approfondie sur l'apport de ces structures face à la problématique de l'intégration des récepteurs est menée au chapitre III-2.

Troisième partie

Intégration d'une chaîne de réception en technologie MOS

Cette partie s'articule autour d'une discussion concernant l'analyse des performances de chaque structure. Cette étude est menée dans un premier temps du point de vue individuel en comparant chaque bloc à ceux proposés dans la littérature. Puis la possibilité de la mise sur un seul circuit de l'ensemble de la chaîne de réception est étudiée et les perspectives à moyen et long termes sont présentées.

Chapitre III-1

Synthèse des résultats

Le tableau III-1.1 récapitule des différentes performances obtenues pour chacun des quatre blocs identifiés de la chaîne de réception : le commutateur, l'amplificateur faible bruit, le mélangeur et l'oscillateur.

Le chapitre III-2 sera consacré à la comparaison des structures réalisées avec celles de la littérature en se préoccupant de savoir ce qui peut être comparé et comment cela doit être fait. Les raisons expliquant les similitudes et les différences seront ensuite analysées.

La fin de cette troisième partie sera consacrée à l'interprétation du travail réalisé en terme de moyens, méthodes et résultats dans la problématique de l'intégration analogique et numérique sur une seule puce.

Paramètre	Résultats	
Switch		
	MELODIE - A	MELODIE - B
Pertes d'insertion en mode fermé	5dB	10dB
Isolation en mode ouvert	-12dB	-17dB
Coefficients de réflexion en mode fermé	-7dB	-1dB à -6dB
Coefficients de réflexion en mode ouvert	-22dB	-15dB à -25dB
LNA		
	AMELIE - AMLNA	MELODIE
Fréquence de fonctionnement	9,0GHz - 8,1GHz	9,2GHz
Gain	-15dB - 1dB	14,4dB
NF	17dB - 7dB	5,4dB
P1dB		8dBm
Mélangeur		
	AMELIE	MELODIE
Gain	-25dB	-27dB
Bande passante à -3dB	9,5 à 13GHz	9,5 à 10,15GHz
Point de compression à 1dB	14dBm	5dBm
Oscillateur		
	AMELIE	MELODIE
Fréquence	6GHz	8,84 à 9,23GHz
Puissance de sortie	-35dBm	-10dBm (en single ended, estimé par simulation à 0dBm en différentiel)
Bruit de phase a 3MHz	-115dBc/Hz	-100dBc/Hz
Bruit de phase a 100MHz	-120dBc/Hz	-138dBc/Hz

TAB. III-1.1 – Résumé des performances obtenues par blocs de la chaîne de réception

Chapitre III-2

Discussion

III-2.1 Performances obtenues et positionnement relatif dans l'état de l'art

III-2.1.1 Qualité des mesures et validité des résultats

Les méthodes de mesure de chaque bloc ont été présentées dans la troisième partie du document. Elles ont été conçues pour fournir des résultats directement applicable aux chaînes entièrement intégrées. Toutefois, des travaux préliminaires que nous avons publiés ([79]) mettent en garde contre une comparaison trop hâtive des résultats bruts en montrant que l'influence de l'environnement n'est pas négligeable, surtout si les structures ont été conçues de façon autonome. De plus, les chapitres précédents ont montré que la méthode de conception et principalement les points critiques de celle-ci, dépendent du protocole de test du circuit. Il faudrait donc, pour pouvoir comparer efficacement les performances, s'appuyer sur la finalité du circuit, information rarement fournie dans les articles. En particulier, les travaux présentés ici avaient pour objectif l'extrémité de la bande X en essayant de se rapprocher des caractéristiques moyennes constatées. Ainsi, la comparaison de la littérature aux structures présentées ici se fera en opposant directement les caractéristiques ainsi qu'en utilisant les facteurs de mérite classiques.

Les résultats de mesure de l'impédance d'une inductance parallèle de type L1P1_SM (voir chapitre II-1.1.1) donnés en figure III-2.1 illustrent bien les difficultés liées à la définition de la mesure. En effet, selon les données constructeur, cette inductance devrait avoir une fréquence de résonance de 13GHz ce qui n'est manifestement pas le cas. Ainsi, il n'est pas aberrant de penser que les structures, telles que les LNA, pour lesquelles la pointe de mesure influe directement sur les inductances, sont fortement perturbées.

III-2.1.2 Commutateurs

Le problème dominant rencontré au cours de ces travaux a été une valeur de gain mesuré très inférieure par rapport à celui simulé. Ceci peut soit s'expliquer par une capacité drain-source mal modélisée, soit par un effet de saturation du canal qui n'est pas pris en compte par le modèle. Nous savons que dans le cas des commutateurs, l'isolation en mode ouvert est liée à la capacité drain-source. La comparaison des résultats des figures II-2.4 et II-2.5-(switch A) montre d'une part en mode ouvert que les capacités parasites sont relativement bien modélisées (moins de 10% de différence), et d'autre part en mode fermé que la saturation du canal est beaucoup plus forte que prévue à haute fréquence :

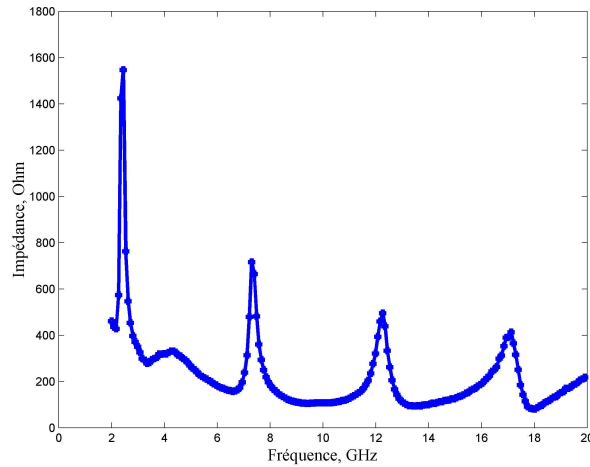


FIG. III-2.1 – Impédance parallèle de l'inductance L1P1_SM

entre 400% de différence à 2GHz et 200% à 20GHz où l'on peut estimer que le pôle dominant est dû à la capacité. On observe que l'erreur est de 250% à 6GHz ce qui montre que tous les pôles des transistors MOS ne sont pas pris en compte aux fréquences que nous étudions.

III-2.1.3 LNA

Les résultats du tableau III-1.1 montrent que les performances mesurées des LNA AMELIE et AMLNA ne présentent aucun rapport avec les résultats de simulation. Ceci résulte d'une insuffisance de la modélisation. Le problème sur AMELIE vient d'un mauvais facteur de forme du transistor qui présentait alors une résistance de grille importante qui fait chuter le gain. Cette résistance n'apparaissant pas dans les modèles, la correction a été apportée sur AMLNA qui possède un gain de 15dB supérieur. Le calcul montrent que ce gain correspond à une résistance en série dans la grille de 100Ω . Cette valeur est aussi celle que donne le calcul de la résistance de grille en fonction de la géométrie d'AMELIE.

On observe de plus sur les courbes du chapitre II-3 que le pic de gain, conçu à l'origine pour être à 10GHz , se trouve décalé aux alentours de 8 à $8,5\text{GHz}$. L'analyse des paramètres S permet de montrer que ce décalage n'est pas dû à une désadaptation décorrélée en entrée et en sortie mais à un décentrage général et dans le même sens des résonances. L'ensemble des structures de AMELIE montre que ce phénomène est récurrent sur les montages SOS $0,5\mu\text{m}$. Toutefois, comme nous l'avons mentionné précédemment, les pointes de mesure sont, sur ces structures, directement reliées aux inductances d'accord. Les remarques préalables sur la validité de la mesure montrent qu'il est possible qu'une partie des contre-performances viennent de l'influence des lignes de mesure. Ceci est d'autant plus vrai que nous avons pu mesurer que l'amplification du LNA intégré au mélangeur MELODIE était légèrement supérieure à celle de son homologue indépendant. Ce dernier a, de plus, une légère tendance à l'oscillation selon le *process*. Elle disparaît lorsqu'il est effectivement chargé au plus près par l'impédance adéquate.

Auteur [Ref.]	Année	FoM	Rang
Shaeffer [8]	1997	0,064	11
Rafla [59]	1999	0,212	10
Floyd [60]	1999	0,219	9
Floyd [62]	2000	0,331	8
Rafla [63]	2000	0,194	5
Sharaf [64]	2000	0,000	13
Gramegna [65]	2000	0,553	7
Gramegna [66]	2001	0,937	6
Huang [68]	2001	3,162	2
Yang [38]	2001	2,968	3
Fouad [29]	2001	0,000	12
Tinella [41]	2001	2,496	4
MELODIE	2005	9,380	1

TAB. III-2.1 – Facteur de mérite des LNA MOS classiques comparés à MELODIE

Enfin, afin de pouvoir positionner le troisième circuit MELODIE, il faut reprendre les définitions du gain données en annexe B. En effet, dans le cas d'un LNA, le gain utile est le gain disponible car c'est celui qui intervient dans la formule de Friis. Or, la courbe de gain mesurée automatiquement montre ce qui est affirmé en annexe B, c'est-à-dire que le gain mesuré par des moyens automatiques correspond au gain composite dans le cas $G_T = |S_{21}|^2$. Les comparaisons individuelles des performances obtenues avec la littérature sont possibles. Mais elles ne répondent en aucun cas à la problématique de la définition du meilleur LNA qui, elle, dépend de l'environnement. Aussi, l'utilisation d'un facteur de mérite qui moyenne les diverses performances peut s'avérer pratique. Il est possible de construire le tableau III-2.1 élaboré à partir des données fournies par le tableau I-3.2 et du facteur de mérite issu des documents du SIA (*Semiconductor Industry Association*) partiellement modifié selon nos travaux précédents ([77]) :

$$FOM_{LNA} = \frac{G \cdot f_0 \cdot |IIP_3|^{sgn(IIP_3)}}{NF \cdot P} \quad (\text{III-2.1})$$

Ce tableau montre que le circuit MELODIE se place correctement selon le critère III-2.1. Il s'agit d'une bonne performance globale comparée à des caractéristiques qui semblent peu élevées par rapport aux valeurs usuelles. Elle provient d'une performance en fréquence meilleure que celle de la réalisation de Rafla [63], occupant la seconde place de cette liste avec une fréquence atteinte de $5.8GHz$.

C'est d'ailleurs la fréquence qui constitue l'incrément principal de cette réalisation : en effet, peu de travaux sur les LNA sont centrés sur la bande des $10GHz$ qui concerne encore peu d'applications civiles (télévision par satellite) et reste basse par rapport aux fréquences maximum accessibles ($60GHz$ et plus).

Du point de vue du gain, MELODIE reste comparable à celui des autres réalisations avec un facteur de bruit classique pour des technologies MOS.

Auteur [Ref.]	Année	f_0	Technology	f_t
C, W, Wu [94]	2002	5GHz	CMOS 0,18 μm	70GHz
Y, Park [95]	2004	4GHz	CMOS 0,25 μm	65GHz
MELODIE	2005	9,23GHz	SOS 0,25 μm	45GHz
AMELIE [78]	2004	6GHz	SOS 0,5 μm	35GHz
P, Andreani [96]	1999	2,4GHz	CMOS 0,80 μm	20GHz

TAB. III-2.2 – Oscillateurs MOS classiques comparés à AMELIE et MELODIE

III-2.1.4 Oscillateurs

Contrairement aux LNA, les deux oscillateurs réalisés valident la théorie d'un point de vue fonctionnel. Le tableau III-2.2 montre que nos oscillateurs sont à la frontière des domaines des modèles de circuits à constantes localisées et de l'utilisation des concepts hyperfréquences. AMELIE montre que l'étude de structures spécifiques repousse la limite pratique de $f_t/10$ pour les oscillateurs. MELODIE montre que les structures classiques restent applicables si et seulement si la fréquence d'utilisation est correctement choisie par rapport aux caractéristiques de la technologie et qu'un soin particulier est apporté à l'implémentation. Enfin, ce second oscillateur permet d'avoir un retour pratique sur la technologie en validant la méthode de dimensionnement des PMOS HF connaissant les autres modèles du *design kit*.

III-2.1.5 Mélangeurs

La conception des mélangeurs est à distinguer de celles des autres structures étudiées car ces blocs dépendent directement de l'application et du contexte envisagés. Ceci s'illustre parfaitement par la différence entre les circuits AMELIE et MELODIE : le premier est un multiplieur de Gilbert classique qu'il importait de réaliser afin d'établir les performances de la technologie. AMELIE a d'ailleurs ici encore montré que des limitations du second ordre apparaissent lorsque l'on dépasse la fréquence de 6GHz soit $f_t/6$. A l'inverse, afin de s'affranchir des variations pire cas des composants, MELODIE propose une structure à filtres larges s'affranchit de cette difficulté par une fonction systématique de réjection de la fréquence image. De plus, le mélangeur MELODIE incorpore le LNA du même circuit ce qui rend ce "mélangeur" très proche d'un *front-end* radio intégré.

Ainsi il est délicat de comparer les mélangeurs entre eux dans la mesures où ils sont fonctionnellement différents. Toutefois, AMELIE montre par ses limites l'importance de la caractérisation précise du multiplieur, cœur des mélangeurs. MELODIE démontre ensuite la validité de l'utilisation de structures à réjection de fréquence image réalisées en technologies CMOS à l'aide de filtres polyphases. Les contre-performances en terme de gain s'expliquent par le non-fonctionnement en régime actif des structures de multiplication dû à un mauvais cas de *process* reconnu par le fondeur (cette situation est mise en évidence par une consommation nulle par l'étage incriminé). Par contre, nous avons pu mettre en évidence qu'à la fois l'étage LNA d'entrée et le tampon de sortie jouent leur rôle d'amplification conformément aux prévisions (respectivement 15dB et 30dB).

III-2.2 Analyse des similitudes et des différences de conception par rapport à la littérature

On voit apparaître que les structures réalisées se situent au niveau des meilleures publications par leurs fréquences de fonctionnement, et par la relation liant cette fréquence à la fréquence de transition de la technologie. Par ailleurs, les ordres de grandeur des autres caractéristiques sont comparables.

Cette dernière remarque montre à l'instar de nos autres travaux ([77]) que de mauvaises performances apparentes d'un élément de la chaîne de réception peuvent être compensées par un autre élément dans le cas de récepteurs tout intégrés.

Dès lors, nos structures de LNA n'obtiennent pas des performances qui dominent l'état de l'art surtout lorsqu'elles sont comparées aux structures bipolaires ou AsGa. Ceci vient du fait que, comme nous l'avons montré au chapitre II-3 dans la méthode de conception, le degré de liberté supplémentaire apporté par le transistor MOS par rapport au transistor bipolaire est compensé par l'imprécision des modèles et le peu de composants caractérisés. Le LNA constitue d'ailleurs un sujet d'étude particulier car il nécessite l'utilisation d'un très petit nombre de composants afin de conserver un faible bruit ; ceci est encore accentué par l'utilisation des technologies MOS. Le nombre de degrés de liberté est alors réduit au choix d'un réseau d'adaptation capacitif qui ne suffit pas à contrôler pleinement les éléments de performance de ce bloc.

A l'autre extrême, le mélangeur complet ou la chaîne de réception offrent de nouveaux degrés de liberté qui viennent compenser les limitations du LNA. En effet, dans le cas d'une intégration complète, les contraintes sur le facteur de bruit en sortie de la chaîne RF peuvent être moindres que dans le cas de blocs isolés qui devront être compatibles *a posteriori*. De ce fait, un gain de $6dB$ pour un facteur de bruit de $3,53dB$ est acceptable pour un LNA s'il est suivi d'un bloc ayant un facteur de bruit de $9dB$ ([77]). Cette dernière valeur est faible pour un mélangeur MOS mais peut être atteinte grâce à une structure agile comme le montre MELODIE.

Le cas des oscillateurs est un peu différent car il est difficile de s'affranchir de la relation fréquence de fonctionnement - fréquence de transition. AMELIE montre que dans la zone comprise entre $f_t/10$ et f_t , il existe un moyen de générer un signal en s'offrant de nouveaux degrés de liberté. Ceci se fait au détriment de l'amplitude comme cela est le cas pour les fréquences supérieures à f_t ([97]). Par contre, le fait d'avoir validé ici les autres blocs permet de s'affranchir de l'introduction de nouvelles fonctionnalités comme le diviseur, puisque le signal utile pour la PLL est déjà disponible.

MELODIE montre à l'inverse que l'augmentation de la fréquence de transition de la technologie offre la possibilité de transférer les structures classiques et d'améliorer le rapport f_t/f_0 (avec une valeur peu usuelle de $4,88$).

III-2.3 Conclusion des travaux sur l'intégration des récepteurs en bande X en technologie CMOS-SOS

Le thème global de cette recherche était d'étudier la possibilité de l'intégration d'une chaîne radiofréquence en bande X sur une technologie mixte de façon à envisager l'intégration complète d'un récepteur, démodulation incluse sur un même substrat.

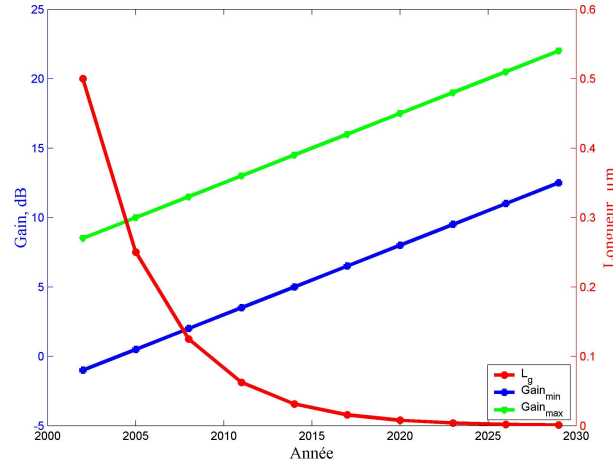


FIG. III-2.2 – Perspectives d'évolution des structures de la chaîne de réception

Les résultats précédents montrent que nous sommes capables de réaliser chaque bloc indépendamment avec des performances individuellement acceptables. Ces bloc permettraient de plus de réaliser une chaîne de performance moyenne s'ils étaient intégrés dans le même circuit. Toutefois, le niveau global des performances n'est pas aujourd'hui suffisant pour permettre une réalisation compétitive d'une chaîne de réception en bande X sur technologie CMOS-SOS.

Le point limitant est le niveau des sorties, ce qui se traduit soit par un niveau réel trop faible soit par un gain trop faible. Toutefois, les courbes de la figure III-2.2 donnant les tendances amorcées par nos études en technologies $0.5\mu m$ et $0.25\mu m$ indiquent que selon la loi de Moore, le gain suffisant du LNA et donc les niveaux des autres étages devraient être atteints d'ici les années 2014 avec des technologies CMOS-SOS en production de longueur $31nm$. En effet, nous savons que au premier ordre le gain petit signal est inversement proportionnel à la racine de la longueur de grille du canal (tableau A.2) qui diminue d'un facteur deux tous les trois ans. De plus, les structures étudiées sont peu sensibles à la baisse des tensions d'alimentation (la réception nécessitant peu de puissance) et les travaux précédents démontrent ainsi la faisabilité prospective de l'intégration.

Cette perspective ne prend pas en compte la principale difficulté rencontrée dans ces travaux qui est la limite de modélisation des transistors MOS en haute fréquence. La limitation physique de la vitesse des porteurs dans le canal n'est en effet pas modélisée par les modèles actuels alors qu'il semble que ce soit elle qui amène le second ordre dans la chute du gain au delà de $6GHz$ sur l'ensemble du circuit AMELIE. Ceci devrait constituer un axe d'approfondissement pour des travaux de recherche futurs.

Conclusion

1 Contributions à l'état de l'art

Les contributions de cette thèse relèvent volontairement d'une problématique située à mi-chemin entre les développements théoriques et la mise en œuvre pratique.

Pour cela, les études exhaustives d'adaptation à la technologie cible ont été menées, débouchant sur la mise en place d'outils et de méthodologies pratiques utilisables par l'ingénieur d'une part et, pour le chercheur, sur de nouvelles questions et pistes de recherche d'autre part.

La faisabilité des structures de récepteurs en bande X sur technologie CMOS-SOS a été démontrée ainsi que la faisabilité prospective de l'intégration. De plus, ces travaux ont mis en évidence les limites de la simple transposition des structures basse fréquence vers la bande X. Les particularités de cette dernière, encore peu utilisée par les applications grand public, ont par ailleurs été extraites, montrant que les méthodes hyperfréquences ne pouvaient être appliquées directement alors que celles de l'électronique analogique classique atteignaient leurs limites.

Enfin, les limites du *design kit* des technologies Peregrine ont été montrées mais surtout repoussées : des méthodes permettant le développement des bibliothèques ont été présentées. En particulier, nous avons élaboré des varactors et des PMOS HF fondés sur les modèles déjà existants ainsi que des inductances de faibles valeurs et forts Q pour un coût en silicium raisonnable. Ces composants offrent un degré de liberté de conception supplémentaire en permettant l'implantation de structures HF classiques qui ne pouvaient auparavant être utilisées.

2 Enseignements

Nous avons pu déduire des recherches présentées ici des méthodes de conception nouvelles ou adaptées, des principaux blocs de la chaîne de réception, et de la chaîne dans son ensemble. Contrairement à l'approche classique qui consiste à optimiser chaque bloc individuellement, éventuellement par changement de technologie, nous avons cherché à optimiser la chaîne dans son ensemble en la réalisant sur une technologie homogène.

En particulier, nous avons montré que les amplificateurs à faible bruit constituaient, pris individuellement, le point limitant des technologies MOS, ceci pour deux raisons. La première est inhérente à la technologie qui fournit des composants bruyants par nature, caractéristique aggravée par un gain relativement limité. La seconde est causée par une particularité du système qui fait que les LNA ne peuvent ni ne doivent comporter beaucoup de composants ce qui réduit les degrés de

liberté du concepteur. Le cas des mélangeurs est plus facile à traiter puisque les méthodes classiques de conception (mélangeurs à diodes ou cellules de Gilbert) fonctionnent quelle que soit la fréquence. Leurs performances quantitatives ne sont pas forcément égales aux meilleures publications, spécialement en terme de gain et de facteur de bruit pour les mêmes raisons que les LNA, mais la fonction peut toujours être réalisée. Il importe toutefois de noter qu'une intégration dans la chaîne nécessite une réflexion amont et une technique de conception plus élaborée (voir MELODIE) afin d'éviter que les dispersions sur les composants ne viennent perturber le système. L'oscillateur, par nature plus élaboré que le LNA mais aussi plus dépendant des caractéristiques de la technologie que le mélangeur, nécessite une étude spécifique : selon la fréquence cible, comparée aux performances de la technologie, il peut être nécessaire d'adapter la structure afin de trouver de nouveaux systèmes de synthèse de fréquence (cas AMELIE).

Enfin, il faudra retenir que l'intérêt principal de l'intégration sur une seule puce d'un système est paradoxalement d'augmenter le nombre global de degrés de liberté dans la conception. En effet, la connaissance de la spécification globale et la maîtrise de chaque élément autorisent à ne pas chercher à optimiser chaque bloc mais seulement de fixer l'ensemble des paramètres afin d'obtenir des performances extérieures adaptées à la demande ([77]).

3 Perspectives

Les performances du LNA d'AMELIE montrent la nécessité d'améliorer les modèles de transistors MOS et d'inductances (et d'inductances partielles) adaptés au cas désormais général des technologies submicroniques. L'oscillateur d'AMELIE, fondé sur le principe de la multiplication de fréquence, pose la question d'une étude systématique qui mettrait en évidence la fonction non-linéaire optimum générant l'harmonique désirée. Cette recherche pourrait se faire à la limite des domaines de l'automatisme et de l'électronique, ce dernier ne devant pas être exclu à cause de l'importance des effets de l'adaptation d'impédance à ces fréquences sur les fonctions de transfert. Le mélangeur de MELODIE met finalement en évidence le problème de la définition des performances minimum requises de la chaîne analogique pour permettre la numérisation à la fréquence intermédiaire.

De façon plus générale, la faisabilité prospective de structures radiofréquence en bande X en technologie CMOS-SOS a été démontrée, et il faut aujourd'hui s'interroger sur la possible généralisation de ces résultats aux technologies MOS quelconques. De même, puisqu'il a été montré que les structures de guidage coplanaires pouvaient apporter de nouvelles réponses sur des besoins spécifiques, un axe de recherche à privilégier serait de reprendre l'étude de ces structures dans le cas particulier des technologies intégrées. Ce dernier point est d'autant plus fédérateur qu'il constitue un thème transverse concernant à la fois les mathématiques pures, l'électronique intégrée et l'électromagnétisme.

La dernière question qui se trouve posée concerne les domaines de validité des méthodes : on a pu observer tout au long de ce document que la conception aux alentours de 10GHz imposait un va et vient permanent entre les méthodes hyperfréquences et classiques. S'il est admis qu'elles sont équivalentes du point de vue de leur formalisme, les interrogations se posent lorsque l'on considère ce qui peut être négligé ou non. A titre d'exemple, une ligne en $\lambda/100$ est considérée comme une équipotentielle en électronique analogique alors que ce n'est plus vrai en conception MMIC. La prise en compte des dimensions caractéristiques du système devrait permettre de statuer sur l'une ou l'autre

des approximations. Pourtant, il semble que chaque méthode arrive au résultat souhaité en partant d'hypothèses différentes au départ alors que l'objet d'étude est le même. La recherche théorique du pourquoi de cet état ainsi que la prédétermination amont de ce qui peut être négligé paraît être l'axe principal soulevé par ces travaux : "comparaison théorique des méthodes de conception hyperfréquence et classiques en technologie intégrée et détermination de la frontière des domaines". De plus, ce type d'étude doit forcément encourager la révision des modèles qui sont aujourd'hui les moyens incontournables et mais aussi le frein à la conception.

Les travaux qui viennent d'être présentés amorcent une courbe de tendance dans la mesure où des structures voisines ont pu être réalisées sur deux technologies successives (0,5 puis 0,25 μm). Cette *roadmap* présentée en figure III-2.2 doit être considérée avec précaution en vertu de la loi de Moron qui donne une "augmentation du prix des technologies par un facteur deux tous les 18 mois" et qui s'oppose en termes économiques à la loi de Moore : les *roadmap* établies à partir de cette dernière loi ne sont valables que dans la mesure où le coût de l'avancée technologique ne la rend pas inabordable. Ainsi, même si l'évolution technologique de la recherche en conception électronique permet d'envisager une intégration complète, l'effort sur les technologies doit être maintenu en termes techniques mais aussi économiques.

Publications

Les travaux réalisés durant cette thèse ont donné lieu à différents résultats présentés dans les communications suivantes :

- [77] Gilles Petit, Richard Kielbasa and Vincent Petit, "A novel approach for radio frequency front-end as part of system-on-chip in digital MOS technologies," In *IEEE International Symposium on Industrial Electronics*, pages 169-174, May, 2004.
- [79] Gilles Petit, Richard Kielbasa and Vincent Petit, "The importance of microwave approach for high frequency MOS analog designers," In *DCIS*, pages 757-760, November, 2004.
- [80] Gilles Petit, Richard Kielbasa and Vincent Petit, "Influence of back ground plane on new radio frequency monochip systems," In *IEEE International Conference on Industrial Technology*, CD-ROM proceedings, December, 2004.
- [83] Gilles Petit, Richard Kielbasa and Vincent Petit, "Criterion of design for small value integrated self-inductors," In *IEEE International Conference on Electronics Circuits and Systems*, pages 491-494, December, 2004.
- [78] Gilles Petit, Richard Kielbasa and Vincent Petit, "A new kind of CMOS high frequency oscillators," In *IEEE International Symposium on Radio Frequency Integrated Circuit*, pages 617-620, June, 2005.

Annexes

Les annexes qui suivent constituent à la fois un rappel des notions élémentaires et une façon moderne de présenter, dans une optique unitaire, les aspects théoriques globaux utilisés par la suite sous un jour pratique. En particulier, les notations et les notions qui peuvent différer d'un auteur à l'autre sont clarifiées et développées afin d'avoir une vue globale des similitudes et différences entre les technologies et les méthodes, utile pour la recherche de processus de transposition.

Annexe A

Les dispositifs intégrés en microélectronique : caractéristiques et particularités

A.1 Approche unifiée des composants

Il est pratique, par l'existence et les méthodes de fabrication des composants macroscopiques, de séparer les composants en grandes classes (actifs, passifs) et en catégories (inductances, résistances, transistors...). Cependant, des effets non désirés altèrent la fonction principale du composant à haute fréquence, haute puissance ou dans certaines configurations. Ceci est encore plus vrai avec les dernières découvertes qui proviennent directement des recherches et avancées récentes en terme de miniaturisation (effet de canal court avec des longueurs de grille inférieures au micron dès 1988 sur les microprocesseurs Intel ou transistor à un électron en 1987 par Fulton et Dolan [98]).

Nous choisirons de classer parmi les éléments passifs : les résistances, les condensateurs et les inductances. En fait, si on tient compte de leur comportement total, les éléments de ce groupe combinent les propriétés de chacun. Simplement, la **modélisation** d'un élément donné met en évidence la prédominance d'un comportement.

Dans le groupe des éléments actifs, nous rangerons les transistors et paradoxalement les diodes. Ces deux éléments sont issus d'une même propriété physique : la jonction entre deux matériaux semi-conducteurs différents qui permet l'obtention de composants commandables. La diode et le transistor peuvent alors être considérés d'un point de vue fonctionnel comme des vannes autorisant plus ou moins de passage d'électrons en fonction d'une grandeur de commande et, tout comme les éléments passifs, de la fréquence. Ici encore, la classification amène à considérer la fonction et non le composant réel. Ceci implique des effets non désirables qui sont qualifiés de parasites. En fait, la connaissance de ces éléments n'est pas parfaite mais leur utilisation passe par l'élaboration de **modèles ayant des zones de validité propres**.

C'est en gardant cette notion d'éléments globaux dont la modélisation fait ressortir une typologie des comportements que l'étude des façons d'aborder l'électronique intégrée va être menée. Dans un premier temps, les différentes technologies intégrées seront passées en revue. Après quoi, les composants passifs (résistance, capacité et inductance) seront étudiés puis opposés aux composants à

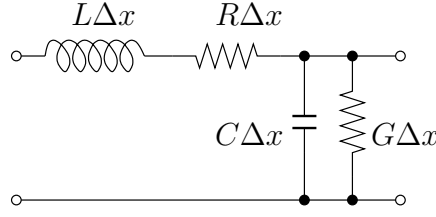


FIG. A.1 – Modèle équivalent d'un tronçon de ligne élémentaire

jonction (diodes et transistors) en attachant une importance particulière aux transistors MOS (Métal Oxyde Semiconducteur).

A.2 Les composants passifs en technologie intégrée

Si le câblage est l'élément de base de l'électronique macroscopique, la ligne conductrice est celui de l'électronique intégrée. En effet, l'approche hyperfréquence classique de réalisation des éléments passifs utilise la théorie des lignes fondée sur l'équation des télégraphistes. Celle-ci démontre qu'une ligne possède à elle seule le comportement de la résistance, de l'inductance et de la capacité.

Classiquement un tronçon de ligne se modélise alors par le schéma figure A.1. Pour un tronçon élémentaire :

- L'équation de propagation est donnée en appliquant simplement les lois de Kirchoff sur des tensions et courants élémentaires, par :

$$\frac{d^2 V}{dz^2} = -(R + jL\omega)(G + jC\omega)V \quad (\text{A.1})$$

$$\frac{d^2 I}{dz^2} = -(R + jL\omega)(G + jC\omega)I$$

- On définit un certains nombre de caractéristiques des lignes. La première est la constante de propagation γ :

$$\gamma = \sqrt{(R + jL\omega)(G + jC\omega)} = \alpha + j\beta \quad (\text{A.2})$$

où α est l'atténuation et β est la constante de phase. Alors les solutions des équations différentielles sont :

$$V(z) = (V_i \exp^{-\gamma z} + V_r \exp^{\gamma z}) \exp^{j\omega t} \quad (\text{A.3})$$

$$I(z) = (I_i \exp^{-\gamma z} + I_r \exp^{\gamma z}) \exp^{j\omega t}$$

Les rapports tension-courant incidents et tension-courant réfléchis sont constants et égaux, par définition, à l'impédance caractéristique de la ligne :

$$Z_c = \frac{V_i}{I_i} = \frac{V_r}{I_r} = \sqrt{\frac{R + jL\omega}{G + jC\omega}} \quad (\text{A.4})$$

Cette impédance caractéristique est l'impédance qui serait mesurée entre les deux points d'entrée de la ligne si elle était infinie ou chargée par cette même impédance Z_c .

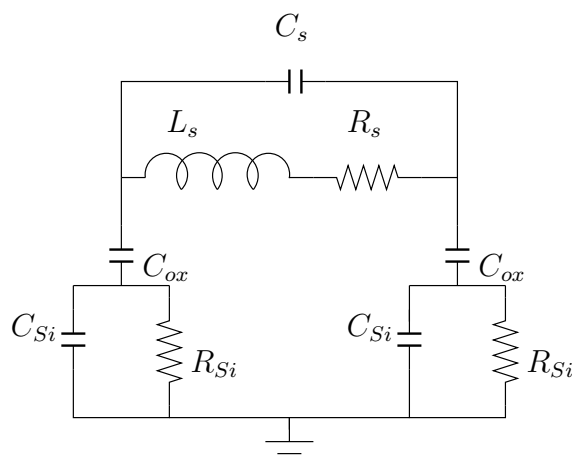


FIG. A.2 – Modèle équivalent d'un composant passif discret

La réalisation spécifique d'un composant discret relève donc d'un processus de restriction du champ d'application du modèle. *A posteriori*, l'étude des composants discrets fait apparaître que dans les trois cas (R, L et C) le modèle est identique (figure A.2); mais les valeurs des composants et leurs relations changent. Le comportement fréquentiel suit le graphique de la figure A.3 à l'ordre des zones près.

Par exemple, la technologie *Silicon On Sapphire* (SOS) Peregrine permet la réalisation des composants passifs présentés dans les tables II-1.1 et II-1.2 issues du *design kit*. Cette technologie fait appel à un niveau de polysilicium et trois niveaux de métal dont un épais (1P3M). Le substrat est en saphir et il n'existe pas de plan de masse immédiat sous celui-ci. Comme il est d'usage, seule la valeur du composant correspondant au comportement prédominant est donnée, sans pour autant avoir une zone de validité définie.

A.3 Les technologies intégrées sur substrat silicium

L'intégration des fonctions analogiques et numériques est la seule solution permettant de baisser les coûts des systèmes en réduisant le nombre de composants à monter sur carte ([99]). Ceci ne peut toutefois être possible que si la technologie retenue offre des composants d'une part de performances répondant aux besoins, et d'autre part de faible coût. Si historiquement, la technologie bipolaire sur silicium fut la première mature, les technologies MOS ont pris un avantage depuis l'avènement des ordinateurs qui est entretenu par leur faible coût de production et d'utilisation.

Le tableau A.1 présente les principales technologies sur silicium, en montrant les avantages et les faiblesses de chacune.

Afin de bien comprendre la réalisation des divers composants, cette section dresse un rapide portrait du substrat de silicium puis des technologies bipolaire et MOS. L'étude des dérivées de cette dernière,

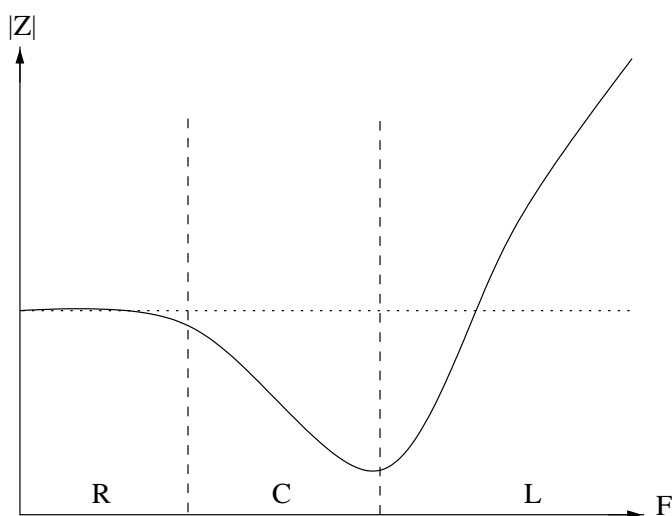


FIG. A.3 – Comportement d'un composant discret à l'ordre près

SOI (*Silicon On Insulator*) et SOS (*Silicon On Sapphire*), montre qu'elles présentent des performances accrues, tout en conservant les avantages du MOS.

A.3.1 Le substrat silicium

Le silicium est un cristal qui se comporte comme un isolant à 0° Kelvin. Mais la force des liaisons est suffisamment faible pour qu'un apport d'énergie de 1.12eV permette de libérer un électron : il est alors par définition un matériau semi-conducteur. Le silicium peut alors être rendu conducteur soit par apport d'énergie externe, soit par introduction dans la structure d'impuretés qui libèrent des charges (électrons dans les dopages de type N et trous pour le type P).

	CMOS	Bipolaire	HBT SiGe
Coût	+++	+	+
Fréquence de transition	--	+	+++
Bruit	-	++	+++
Consommation	++	-	--
Transconductance	---	+	+++
Électronique numérique	+++	--	--
Transistors complémentaires	+++	--	--
Tension de claquage	-	++	++
Linéarité	++	+	+

TAB. A.1 – Intérêts comparés des technologies sur silicium sur une échelle allant de --- à +++

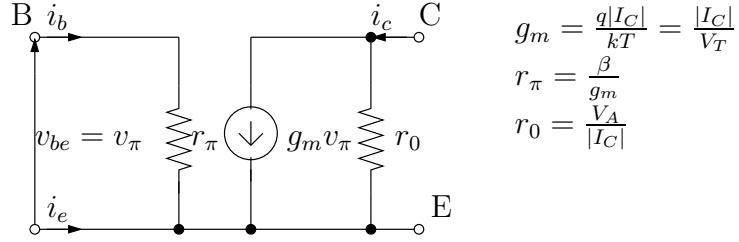


FIG. A.4 – Modèle de Giacoletto petit signal basse fréquence en II du transistor bipolaire

A.3.2 La technologie bipolaire

Dans notre classification, la réalisation d'éléments actifs diffère de celle des éléments passifs par le fait que des matériaux semi-conducteurs sont utilisés conjointement afin de former une jonction, c'est-à-dire une zone qui peut soit être conductrice soit isolante, en fonction d'une commande.

Du point de vue des composants, la fonction principale réalisée par la jonction est l'effet diode qui correspond à un interrupteur commandé par le signal qui le traverse. Cet interrupteur ne laisse passer que les tensions supérieures à un seuil intrinsèque.

Le transistor bipolaire permet dans un premier temps de commander cet interrupteur à l'aide d'un signal de commande indépendant. Physiquement, il est réalisé par la mise en série de deux jonctions. Néanmoins son comportement n'est pas celui de deux diodes mises bout à bout : grâce à la finesse de la zone commune, il apparaît un effet transistor qui donne à ce montage une fonction amplificatrice.

Le point de fonctionnement étant déterminé par la polarisation statique, la linéarisation de la caractéristique permet de définir le comportement du transistor face à un petit signal. Les notions dynamiques, concernant le gain et l'impédance de sortie sont alors introduites. En basse fréquence, le modèle qui sert de base à toute les évolutions actuelles est le modèle en II de Giacoletto (figure A.4). Le gain dynamique du transistor, β , ou gain petits signaux, est une caractéristique du composant donnée par les procédés de fabrication.

Par rapport à ces premiers modèles simples, la structure physique du transistor bipolaire montre qu'il existe de nombreux éléments parasites qui modifient son comportement (figure A.5). La figure A.6 donne alors un schéma petits signaux du transistor prenant en compte ces éléments parasites et qui correspond à une meilleure modélisation en haute fréquence.

Aujourd'hui, des modèles plus complets ont été développés sur une base de Gummel-Poon et consistent en une adaptation grand signal du modèle de Giacoletto. Ils sont essentiellement employés dans les simulateurs numériques, leur exploitation manuelle n'étant pas possible.

A.3.3 La technologie CMOS *Bulk*

La technologie CMOS domine aujourd'hui la production des circuits numériques grâce à sa particularité de ne nécessiter qu'une commande en tension et donc de ne pas consommer beaucoup

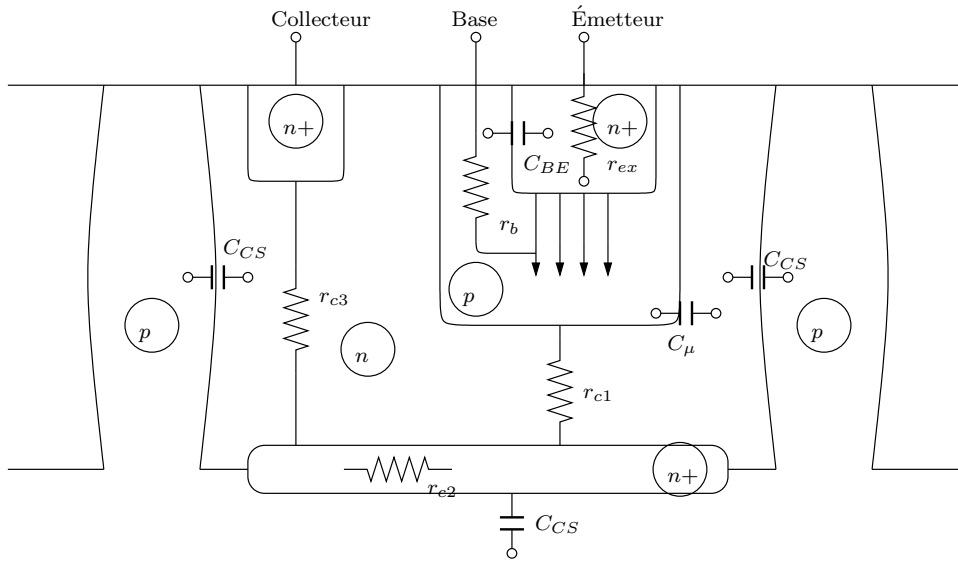


FIG. A.5 – Éléments parasites physiques du transistor bipolaire

d'énergie hors de la commutation. Elle se compose comme dans le cas bipolaire de deux types de transistors, N et P, qui sont complémentaires. Il existe de plus deux grandes familles : les transistors à enrichissement et ceux à appauvrissement. Le qualificatif s'applique au dopage du substrat sous la grille qui permet respectivement d'obtenir un transistor bloqué ou passant lorsque la tension de commande de grille est nulle.

La figure A.7 montre un transistor NMOS typique sur substrat *Bulk* avec ses parasites. Physiquement, drain et source sont identiques ce qui laisse entrevoir un fonctionnement symétrique du transistor et le fait que la notation drain et source est complètement arbitraire.

A.3.4 La technologie CMOS SOI

La technologie SOI diffère du MOS standard dans la mesure où le substrat n'est plus une tranche de silicium semi-conductrice mais un isolant. Celui-ci peut être principalement du dioxyde de silicium SiO_2 ou du saphir. Ce dernier cas donne la technologie SOS.

Le substrat isolant de la technologie SOI permet de limiter les pertes dans la mesure où, la résistance étant infinie, la puissance dissipée dans le substrat est nulle (figure A.8). De plus la capacité parasite se voit diminuée permettant une augmentation de la fréquence utile de la technologie. C'est d'ailleurs le principal avantage mais l'isolation du substrat permet de plus d'éviter deux effets parasites principaux :

- l'effet substrat : lorsque le substrat n'est pas relié à la masse, il apparaît un transistor parasite dont la grille est le substrat. En première approximation, la conséquence est un déplacement de la tension de seuil du transistor. Quantitativement, l'effet substrat se traduit par une modulation de la tension de seuil : $V_{tn} = V_{tn0} + \gamma V_{SB}$ et $V_{tp} = V_{tp0} - \gamma V_{SB}$ (voir les équations du tableau A.2).

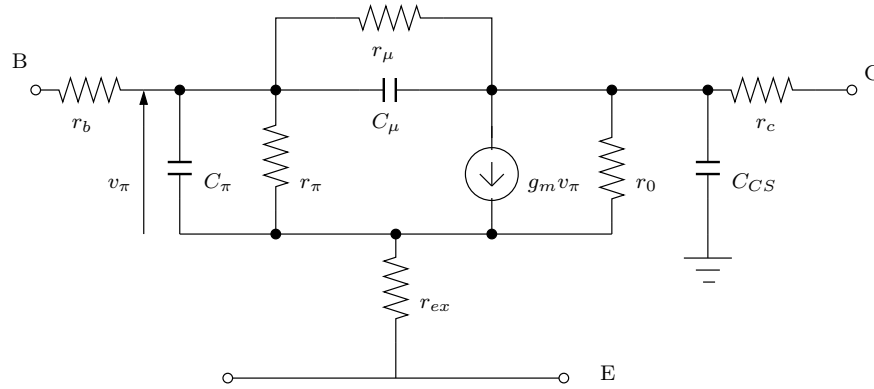


FIG. A.6 – Modèle de Giacoletto HF du transistor bipolaire

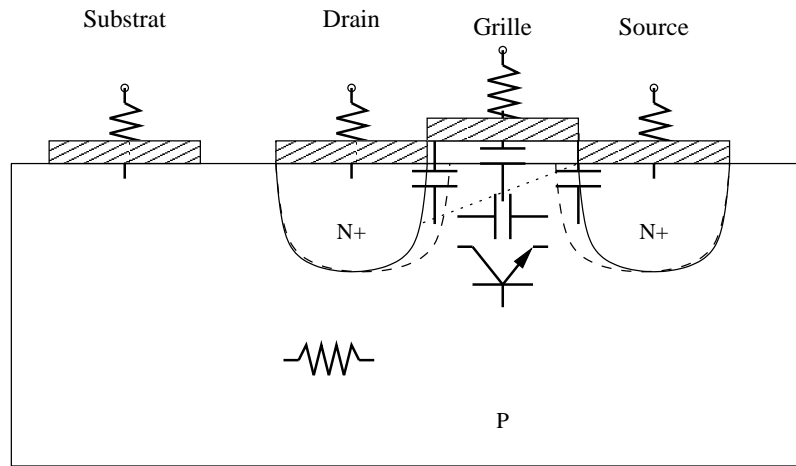


FIG. A.7 – Réalisation physique et éléments parasites du transistor NMOS

- les transistors bipolaires parasites : il existe, liés à un transistor MOS deux types de transistors bipolaires parasites directement causés par la construction des MOS :
 - ◊ Le transistor latéral : la base est réalisée par le caisson, et le drain et la source réalisent de façon symétrique l'émetteur et le collecteur. La figure A.9 montre le cas du PMOS qui subit un transistor parasite de type PNP.
 - ◊ Le transistor vertical : le caisson joue une fois de plus le rôle de base. En revanche, le collecteur est constitué par le substrat, ce qui le relie par construction à la masse. Enfin, l'ensemble Drain-Source forme l'émetteur. Le transistor PMOS de la figure figure A.9 subit encore un PNP parasite alors qu'un NMOS subirait un NPN (figure A.7). C'est en général la mise en conduction de ce transistor bipolaire parasite qui est la cause de l'effet substrat vu précédemment.

Enfin, le substrat étant isolant, il y a une possibilité de créer des îlots séparés ce qui limite les interactions entre les diverses parties du circuit aux seuls couplages magnétiques. Ce type de couplage

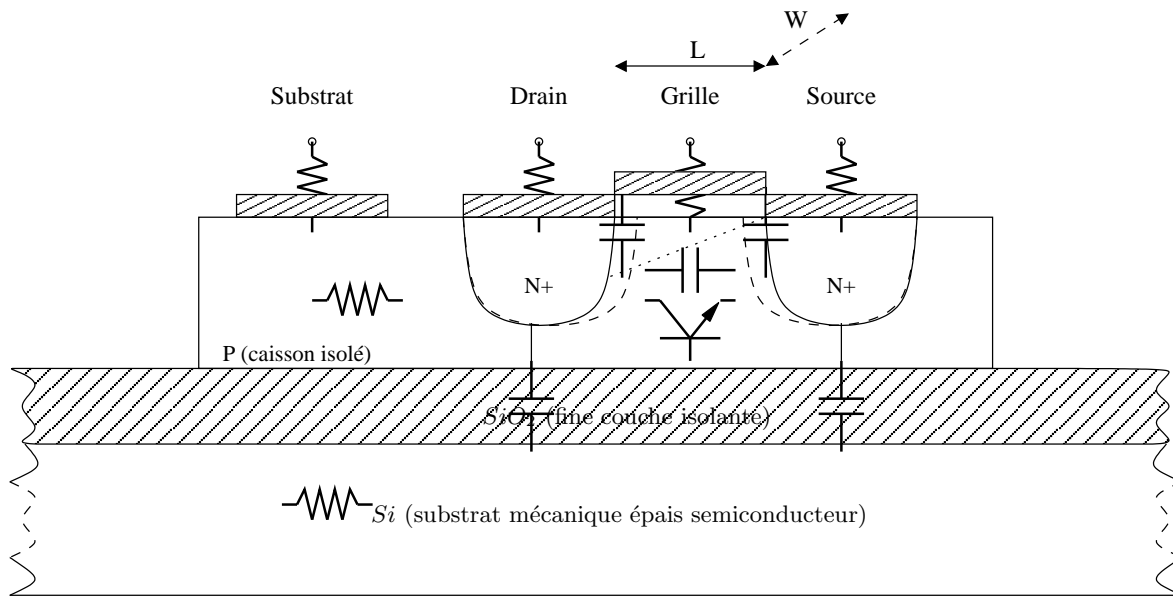


FIG. A.8 – Coupe d'un substrat SOI typique

sera d'ailleurs augmenté car il n'y a plus de substrat conducteur à faibles pertes pour générer une atténuation du champ rayonné par une ligne en jouant le rôle de mauvais plan de masse (figure A.10).

A.3.5 La technologie CMOS SOS

La technologie SOS est en fait une technologie SOI dont le substrat est un isolant à base de saphir (Al_2O_3), aussi appelé corindon. Cette technologie anciennement utilisée dans le domaine spatial (grâce à l'absence de *latch-up*) est essentiellement redéveloppée pour des applications RF depuis 1995 par le fondeur américain Peregrine sous le nom UTSi (*Ultra Thin Silicon*). Les principales propriétés de cette technologie, utilisée pour la réalisation de nos véhicules de test et la validation de nos théories,

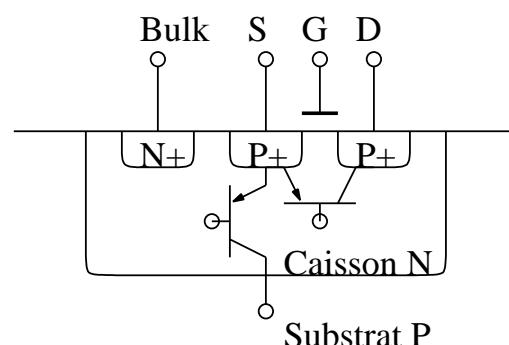


FIG. A.9 – Les transistors bipolaires parasites sur un PMOS

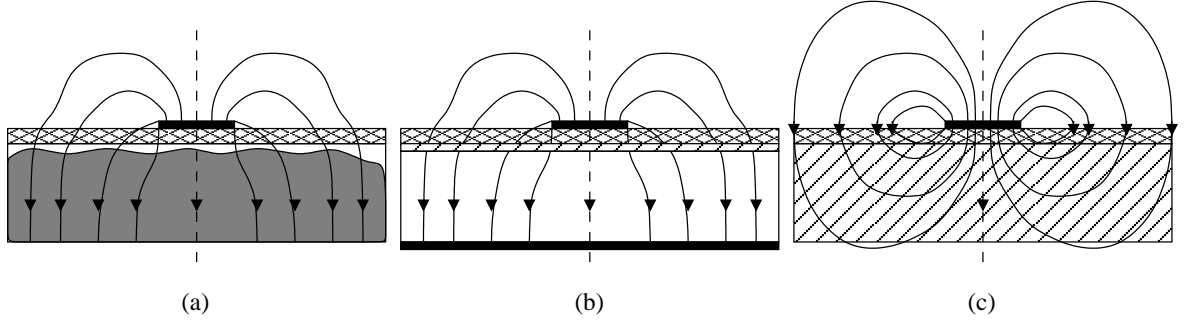


FIG. A.10 – Champ électrique rayonné par une ligne sur technologie (a)MOS *bulk* jouant le rôle d'un mauvais plan de masse, (b)SOI avec plan de masse arrière et (c)SOS

sont détaillées au chapitre II-1.1.1.

La figure A.11 montre qu'outre les propriétés généralement énoncées pour le SOI, le substrat est totalement isolant (pas de couche de Si mécanique sous le SiO_2 ou le saphir) et ne possède pas non plus de plan de masse arrière. Ces propriétés sont un élément clef de nos travaux puisqu'elles permettent un rapprochement avec les structures sur technologies AsGa tant du point de vue de la réalisation de structures guidées que des effets parasites engendrés.

A.4 Le transistor MOS

Cette étude utilise la connaissance des transistors MOS non seulement dans l'analyse des structures et résultats existants mais aussi dans une phase de conception et de réalisation. Cette seconde phase nécessite alors une étude approfondie.

Comme son nom l'indique, le transistor MOS (Métal Oxyde Semi-conducteur) est constitué d'un matériau semi-conducteur dont la conduction est commandée par la tension appliquée à une grille métallique isolée du semi-conducteur (canal) par un oxyde.

A.4.1 Les jonctions Métal-Semiconducteurs : propriétés et définitions

Travail de sortie : le travail de sortie $q\Phi_m$ d'un métal est défini comme l'énergie minimum qu'il faut fournir à un électron pour l'extraire et l'amener à l'infini. Au repos, il vaut $q\Phi_m = E_0 - E_F$. $q\Phi_m$ dépend de deux contributeurs, l'un est dû au volume du métal et constitue donc une énergie d'interaction, l'autre est dû à la surface où peut naître un moment dipolaire. La même grandeur avec la même définition existe pour un semiconducteur (SC).

Affinité électronique : l'affinité électronique est la grandeur $q\chi$ définie dans un semiconducteur comme l'écart énergétique entre le niveau du vide E_0 et le bas de la bande de conduction E_c : $q\chi = E_0 - E_c$

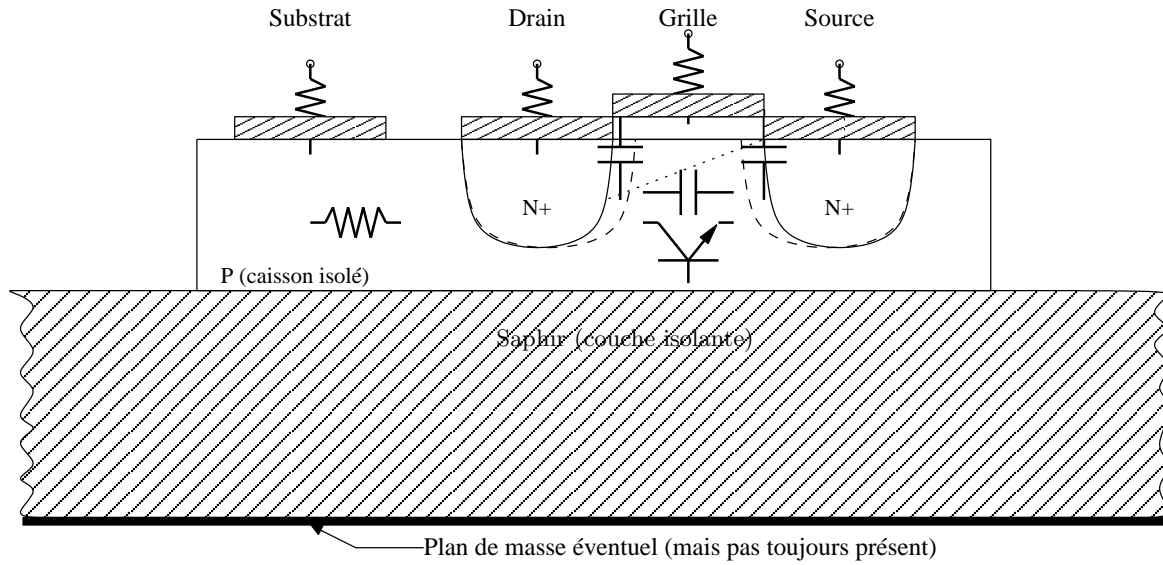


FIG. A.11 – Transistor NMOS sur substrat SOS

Barrière de Schottky : à partir d'un métal et d'un SC tous deux électriquement neutres, les relations entre les travaux de sortie sont $\Phi_m < \Phi_{SC}$ dans le cas où le SC est de type N et le contraire dans un SC de type P. Il apparaît alors une barrière de potentiel dite de Schottky de valeur : $q\Phi_{bn} = q(\Phi_m - \chi)$ pour un SC de type N et $q\Phi_{bp} = E_g - q(\Phi_m - \chi)$ pour un SC de type P. Les électrons ne peuvent franchir cette barrière que s'ils sont suffisamment chauds, c'est-à-dire si leur énergie est suffisante.

Effet tunnel : toutefois, si la largeur W de la zone de déplétion est très faible des porteurs peuvent traverser la barrière de potentiel par effet tunnel même si leur énergie n'est pas suffisante.

A.4.2 Le transistor MOS

Fonctionnement du MOS : un canal de conduction entre la source et le drain, sous la grille, est créé par un apport d'énergie à l'aide d'un champ électrique (c'est à dire $V_{GS} > V_T$). Alors si V_{DS} est faible, le canal de conduction se comporte comme une résistance : $I_{DS} \propto V_{DS}$. Si V_{DS} augmente pour atteindre la valeur de saturation $V_{DSsat} = V_{GS} - V_T$ alors il n'existe plus de couche d'inversion au niveau du drain et I_{DS} est alors égal à I_{DSsat} , courant de saturation. Pour $V_{DS} > V_{DSsat}$, au premier ordre, la relation $I_{DS} \approx I_{DSsat}$ est conservée. Toutefois, l'égalité n'est pas parfaite car la longueur apparente du canal diminue et il apparaît un effet analogue à l'effet Early des transistors bipolaires.

Caractéristiques du MOS : les équations classiques issues des modèles élémentaires de Schichman et Hodges (1968) et de Meyer (1971) sont présentées dans le tableau A.2 pour le cas du NMOS, celles du PMOS s'en déduisant par simple changement de signe. Elles sont simplifiées et ne s'appliquent qu'aux transistors ayant une longueur de grille supérieure à $2\mu m$ ([100]), mais elles permettent une prédétermination manuelle qui sert à déceler d'éventuelles erreurs de convergence dans les modèles plus complets utilisés en simulation (BSIM3v3 pour la technologie Peregrine). Elles

autorisent de plus à valider *a priori* une fonction ou un comportement en parallèle du modèle petit signal haute fréquence donné en figure A.12.

Régime	Zone	Caractéristique
Statique	Ohmique	$V_{DS} < V_{GS} - V_{tn}$ $I_{DS} = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{tn})V_{DS} - \frac{V_{DS}^2}{2}]$
	Saturée	$V_{DS} > V_{GS} - V_{tn}$ $I_{DS} = \mu_n C_{ox} \frac{W}{2L} (V_{GS} - V_{tn})^2 [1 + \frac{K_{en}}{L} V_{DS}]$
Dynamique	Ohmique	$V_{DS} < V_{GS} - V_{tn}$ $g_m = \mu_n C_{ox} \frac{W}{L} V_{DS} = \frac{I_{DS}}{V_{GS} - V_{tn}}$
	Saturée	$V_{DS} > V_{GS} - V_{tn}$ $g_m = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{tn}) = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_{DS}} = \frac{2I_{DS}}{V_{GS} - V_{tn}}$

TAB. A.2 – Équations simplifiées des transistors NMOS

Capacités parasites : Étant donnée l'isolation physique de la grille des MOS, les capacités parasites sont l'élément ayant le plus d'influence sur le comportement haute fréquence. En particulier, physiquement, la capacité d'oxyde de grille est constituée de :

- la capacité de recouvrement entre grille et source, C_{GS0}
- la capacité grille-canal, C_{GC}
- la capacité de recouvrement entre grille et drain C_{GD0}

Il se distingue alors quatre types de capacité parasite C_{GS} , C_{GD} , C_{DB} , et C_{SB} . En négligeant les deux dernières d'importance négligeable voir nulle sur certains substrats comme le SOS, il vient :

- $C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$
- $C_{ext} = C_{ox} L_{eff} W$
- $C_{GS0} = C_{GD0} = C_{ox} L_d W$
- $C_{GC} = C_{ext}$
- en régime ohmique $C_{GS} = C_{GS0} + 1/2 C_{ext}$ et en régime saturé $C_{GS} = C_{GS0} + 2/3 C_{ext}$
- en régime ohmique $C_{GD} = C_{GD0} + 1/2 C_{ext}$ et en régime saturé $C_{GD} = C_{GD0}$ (pincement du canal côté drain)

Fréquence d'utilisation : les caractéristiques des constructeurs donnent le plus souvent la fréquence de transition, f_t ou la fréquence maximum, f_{max} définies par [71, p5] :

- Fréquence de transition f_t : fréquence pour laquelle le gain en **courant** avec un montage en court circuit en sortie vaut 1 (ou 0dB)
- Fréquence maximale f_{max} d'oscillation : fréquence pour laquelle le gain **unidirectionnel en puissance** vaut 1 (ou 0dB) (voir page 137)

A.4.3 Cas du canal court (inférieur au micron)

Phénomène de *punch through* : Pour une longueur de canal inférieure au micron, les zones de déplétion des deux jonctions substrat-source et substrat-drain peuvent entrer en contact. Les électrons de la source peuvent alors être aspirés vers le drain à travers la zone de déplétion. Ce courant s'ajoute à celui du canal. À la limite, il n'est plus possible de commander I_{DS} par V_{GS} et I_{DS} n'est plus limité que par le circuit extérieur.

Saturation de la vitesse des porteurs de la couche d'inversion : à V_{DS} fixée, une réduction de la longueur du canal entraîne une augmentation du champ électrique longitudinal. À partir d'une certaine valeur de ce champ, la vitesse de mouvement des charges peut saturer. Ceci se traduit par une limite de la fréquence d'utilisation qui vient s'ajouter à la fréquence de coupure induite par les capacités parasites des modèles précédents.

Limite de saturation : Lorsqu'on diminue la longueur de la grille d'un transistor, celui-ci ne sature plus. Ainsi on ne peut plus considérer que le transistor fonctionne à courant constant dans la zone de "saturation", limitant ainsi la linéarité et l'efficacité de l'amplification.

A cause de ces effets parasites en particulier et d'autres de moindre importance dont une description plus complète existe dans [101] et qui sont dûs à la réduction des tailles, la validation des circuits ainsi que leur dimensionnement ne se fait qu'à partir de simulations sur la base de modèles plus complexes et complets que les équations du tableau A.2.

A.4.4 Cas particulier des technologies Silicium sur Isolant (SOI)

De par la réduction des pertes et l'augmentation des isolations, la technologie SOI présente par rapport aux technologies *Bulk* l'avantage de supporter des fréquences plus élevées pour une consommation moindre. Les facteurs de qualité des éléments passifs sont aussi augmentés. Ceci permet de s'intéresser à une analogie possible entre les techniques hyperfréquence en AsGa et de nouveaux *design* en technologie SOS. De ce fait, et de par la prise en compte de fréquences à la limite des hyperfréquences, il a été réalisé des montages mixtes, utilisant à la fois les techniques de l'électronique classique et celles des hyperfréquences.

A.4.5 Conclusion

Ce qui apparaît ici est donc le fait que le transistor MOS est un composant initialement simple mais au comportement complexe lorsque l'utilisation se rapproche de ses limites.

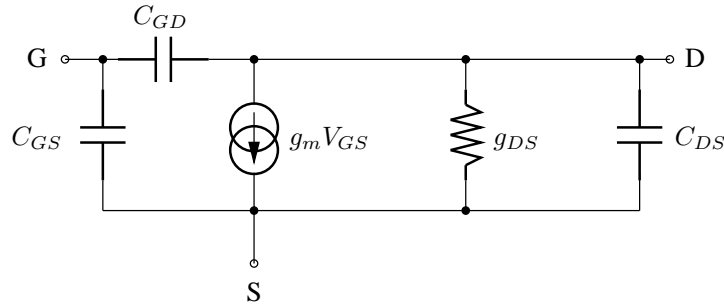


FIG. A.12 – Modèle en II HF petit signal du transistor NMOS

D'un point de vue méthodologie, des analyses structurales et fonctionnelles sont menées avec des schémas éventuellement simplifiés issus de la figure A.12. Toutefois, devant la complexité de ce composant, le montage est toujours validé grâce à une simulation assistée par ordinateur : elle est plus complète, le modèle actuel (BSIM3v3) prenant en compte de nombreuses sources de bruit et un ensemble de capacités parasites calculées par intégration de capacités élémentaires. Néanmoins, une attention particulière est portée à ce que le résultat final de la simulation corresponde au prédimensionnement car la complexité du modèle adjointe aux approximations de calcul peut aussi être source d'erreur.

A.5 Les transistors composites

Ce qui précède a permis de constater qu'un transistor est un élément à trois accès ou deux ports selon l'approche. Cette particularité autorise son utilisation dans l'une des trois configurations (base commune, émetteur commun ou émetteur suiveur) correspondant respectivement à la mise à la masse signal de la base, de l'émetteur ou du collecteur. Chacune de ces utilisations présente une mise en relief de propriétés du transistor au détriment d'autres vis-à-vis d'un problème donné (gain, stabilité, impédances d'entrée et de sortie...). Toutefois, il arrive que ce simple changement ne suffise pas à atteindre les performances requises.

Il est alors classique d'assembler plusieurs transistors dans des montages composites se comportant comme un composant simple ayant une de ses propriétés améliorées éventuellement au détriment d'autres. On trouve entre autre les structures suivantes :

- Darlington : constitué d'un étage émetteur-suiveur suivi par un étage émetteur-commun, il se comporte comme un transistor monté en émetteur-commun dont on aurait augmenté l'impédance d'entrée (fig. A.13.(a)).
- Paraphase : constitué d'un étage émetteur-suiveur suivi par un étage base-commune, il se comporte comme un transistor monté en émetteur-commun similaire à une fausse paire différentielle dont l'une des entrées serait reliée à la masse (fig. A.13.(b)).
- Cascode : constitué d'un étage émetteur-commun suivi par un étage base-commune, il se comporte comme un transistor monté en émetteur-commun dont on aurait augmenté l'impédance de sortie et diminué l'effet Miller. Cette structure est la plus utilisée en haute fréquence car elle améliore la stabilité et réduit le bruit. Elle est détaillée dans le chapitre I-3 (fig. A.13.(c)).

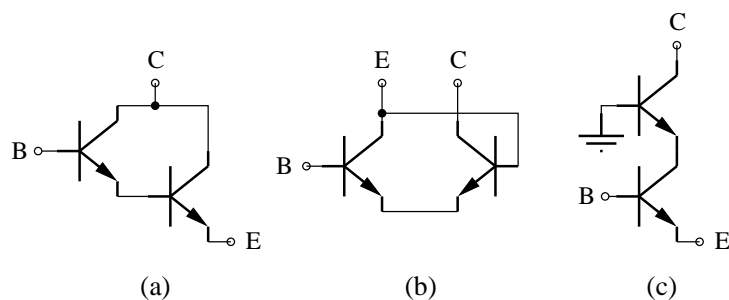


FIG. A.13 – Exemples de transistors composites : (a)Darlington, (b)Paraphase et (c)Cascode

A.6 Particularité de l'implémentation en technologie intégrée

Tout processus technologique est soumis à des imprécisions lors de la fabrication. Ces dernières se manifestent sous deux formes :

- d'une part, une variation de la valeur du composant relativement à celle prévue dans la phase de conception. Elle ne peut être influencée et est généralement de l'ordre de 10 à 20%.
- d'autre part, une variation des caractéristiques des éléments identiques entre eux. Ce mauvais appairage (*mismatching*) peut être limité à 1 ou 2% grâce à l'utilisation de structures différentielles dont l'implantation (*layout*) est soignée de façon à respecter la symétrie.

Annexe B

Méthodologies hyperfréquence d'approche des systèmes électroniques

B.1 Unicité des problèmes, pluralité des approches

Classiquement, les méthodes d'étude des problèmes électroniques diffèrent en fonction du domaine (hyperfréquence, basse fréquence, électronique industrielle, électronique numérique...). Pourtant, il paraît judicieux dans un travail de recherche ou de développement de ne pas rejeter les méthodes de l'une ou l'autre des approches mais au contraire de les comparer en fonction des contraintes du produit final de façon à choisir la technique la plus adaptée. Ceci est encore plus vrai dans le cadre de la limite entre électronique analogique et hyperfréquence car elle se déplace continuellement avec l'évolution des technologies et des techniques et moyens de calcul. Le but de ce chapitre est de mettre en relief l'unicité des problèmes rencontrés et de proposer une liste non exhaustive de méthodes de résolution sans pour autant se restreindre à une seule approche.

B.2 Systèmes électroniques à deux ports

Tout système qui a pour but le traitement d'une information est unidirectionnel et peut alors se mettre sous la forme de la figure B.1-(a). Toutefois, leurs architectures sont rarement conformes à la structure initiale et le schéma synoptique des systèmes à deux accès (ou ports) peut être mis sous la forme de la structure présentée en figure B.1-(b). Dans ce cas, la fonction β est parasite et sera minimisée dans la mesure du possible.

Cependant, il est courant, surtout en technologies intégrées, de mal maîtriser la partie active du composant. Or, en écrivant la fonction de transfert H du système réel, l'équation B.1 montre que pour μ grand, elle vaut $H \approx 1/\beta$. Alors, si la partie active est mal maîtrisée mais que son gain est grand, la partie passive réalise le traitement.

$$H = \frac{\mu}{1 + \beta\mu} \quad (\text{B.1})$$

β peut avoir une bande passante plus ou moins large, les cas extrêmes étant un filtre à très fort facteur de qualité utilisé dans un oscillateur ou à l'inverse un Q faible dans un amplificateur à large bande passante. La théorie de l'automatique nous indique que les caractéristiques de l'amplificateur

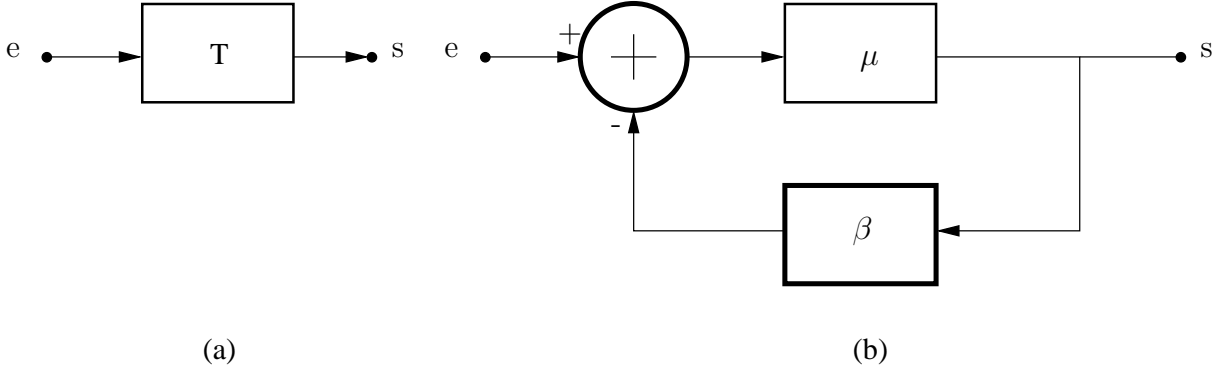


FIG. B.1 – (a)Structure et (b)modèle interne d'un système à deux accès

se déduisent de l'étude de la fonction de transfert en boucle ouverte $\beta\mu$. En particulier, les critères de Barkhausen permettent de déterminer la stabilité du système. Ils indiquent que les zones définies par les équations suivantes sont instables et servent alors à la conception d'oscillateurs :

$$\begin{aligned} |\beta\mu| &= 1 \\ \angle\beta\mu &= \pi[2\pi] \end{aligned} \tag{B.2}$$

B.3 Outils mathématiques de résolution de problèmes

Dans ce chapitre, seules les formules de base seront rappelée brièvement car elles seront utilisées en permanence et leur définition précise est indispensable à la bonne compréhension des liens entre simulations et mesures.

B.3.1 Paramètres S

L'approche automatique précédente des systèmes à deux ports trouve son pendant dans le domaine de l'électronique hyperfréquence. L'outil de base, ici, est constitué d'un ensemble de grandeurs appelées paramètres S (*Scattering parameters*). Ils sont définis en partant du fait que l'énergie qui arrive à un port du système n'est pas considérée comme un couple courant-tension mais comme une onde entrante, a et une onde sortante, b . Alors dans le cas d'un système à N ports, on définit S_{ij} le paramètre S entre le port j (onde entrante) et le port i (onde sortante) par :

$$b_i = \sum_j S_{ij} a_j$$

On en déduit que le paramètre S_{ij} précédent s'écrit :

$$S_{ij} = \frac{b_i}{a_j} \big|_{a_k = 0, k \neq j}$$

B.3.2 Coefficient de réflexion

Le coefficient de réflexion d'une onde sur un port correspond au paramètre S si le composant n'avait qu'un port :

$$\Gamma = \frac{b}{a}$$

Il constitue le pendant de l'impédance Z dans le formalisme des paramètres S et est alors toujours défini par rapport à une impédance de normalisation notée Z_0 :

$$\Gamma = \frac{Z - Z_0^*}{Z + Z_0^*}$$

Un transfert de puissance maximum, traduit usuellement par $Z = Z_0^*$ devient $\Gamma = 0$ dans le formalisme des paramètres S . A l'inverse, le retour à l'approche classique de l'électronique en courant-tension se fait grâce aux relations :

$$a_i = \frac{V_i + Z_0 I_i}{2\sqrt{R_0}}; b_i = \frac{V_i - Z_0^* I_i}{2\sqrt{R_0}}$$

B.3.3 Gains

Le domaine des ondes et le formalisme des paramètres S ont été pensés pour simplifier les optimisations en transfert de puissance. Ces optimisations se traduisent dans une chaîne d'éléments par l'adaptation entre les impédances d'entrée et de sortie des étages. Toutefois, il est possible de définir quatre types de gain en puissance dans les quadripôles selon ce que l'on souhaite observer :

- *Gain transducique ou composite* : c'est le rapport de la puissance délivrée à la charge sur la puissance disponible sur le générateur.

$$G_T = \frac{1 - |\Gamma_S|^2}{|1 - \Gamma_S S_{11}|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_L S_{22}|^2} = \frac{1 - |\Gamma_S|^2}{|1 - \Gamma_S \Gamma_1|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_L S_{22}|^2}$$

C'est le gain généralement mesuré par les bancs automatiques, et dans le cas particulier où l'adaptation est réalisée en entrée et en sortie sur l'impédance de normalisation des paramètres il vaut $G_T = |S_{21}|^2$.

- *Gain en puissance* : c'est le rapport de la puissance délivrée à la charge sur la puissance entrant effectivement dans le quadripôle. C'est donc le gain que l'on mesurera lorsque l'on aura une adaptation en entrée ($\Gamma_S = S_{11}^*$).

$$G_P = \frac{1}{|1 - \Gamma_1|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_L S_{22}|^2}$$

- *Gain disponible* : c'est le rapport de la puissance disponible sur le quadripôle sur la puissance disponible du générateur. C'est le gain que l'on mesurera si la sortie du quadripôle est adaptée ($\Gamma_L = S_{22}^*$).

$$G_A = \frac{1 - |\Gamma_S|^2}{|1 - \Gamma_S S_{11}|^2} |S_{21}|^2 \frac{1}{|1 - \Gamma_2|^2}$$

- *Gain composite unidirectionnel ou unilatéral* : c'est une simplification dans le cas des quadripôles unidirectionnels (unilatéraux) définis par $S_{12} = 0$.

$$G_{TU} = \frac{1 - |\Gamma_S|^2}{|1 - \Gamma_S S_{11}|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - \Gamma_L S_{22}|^2}$$

En particulier, si les adaptations en entrée et en sortie sont parfaites ($\Gamma_S = S_{11}^*$ et $\Gamma_L = S_{22}^*$), le gain unilatéral mesuré sera maximum et alors appelé gain maximum de l'amplificateur dans les conditions d'unilatéralité ($|S_{12}| < -20dB$) :

$$G_{TUMax} = \frac{1}{1 - |S_{11}|^2} |S_{21}|^2 \frac{1}{1 - |S_{22}|^2}$$

Avec les définitions précédentes, les relations $G_T \leq G_P$ et $G_T \leq G_A$ sont toujours vraies avec égalité pour un transfert de puissance optimum.

B.3.4 Facteur de bruit

Le facteur de bruit est le coefficient mesurant la dégradation du rapport signal à bruit au passage dans un circuit. Le bruit en entrée est celui de l'impédance de la source à la température de référence $T_0 = 290K$.

$$F = \frac{(S/B)_{in}}{(S/B)_{out}}$$

Pour des commodités calculatoires, il existe aussi son pendant logarithmique défini par $NF = 10\log(F)$.

En notant B_a le bruit additionnel du circuit ramené en entrée, le facteur de bruit peut s'écrire :

$$F = \frac{S_{in}}{B_{in}} \frac{G_P(B_{in} + B_a)}{G_A S_{in}} = 1 + \frac{B_a}{B_{in}}$$

Alors F est toujours supérieur à 1 (ou encore NF est toujours positif).

Une propriété intéressante de la définition du facteur de bruit est donnée par la formule de Friis. Elle présente une expression du facteur de bruit global d'une chaîne en fonction des gains et facteurs de bruit des éléments qui la composent :

$$F = 1 + \sum_{k=1}^n \frac{F_k - 1}{\prod_{i=1}^{k-1} G_{Ai}}$$

Elle montre que le contributeur majoritaire en bruit est le premier élément pour peu que celui-ci ait suffisamment de gain (gain disponible).

B.3.5 Abaque de Smith

L'approche en onde correspond donc mathématiquement à une transformation bijective entre paramètres d'impédance et paramètres S (ou entre tension-courant et ondes). Elle présente l'avantage d'une représentation dans un type de coordonnées particulier. Le graphique résultant est l'abaque de Smith qui constitue un outil de calcul efficace et rapide pour la résolution de tout problème formulé en terme de paramètres S .

Au départ, l'abaque de Smith représente le coefficient de réflexion Γ tracé en format polaire. Le lieu des points à partie réelle constante r est un cercle de centre $(\frac{r}{r+1}, 0)$ et de rayon $\frac{1}{r+1}$. De façon identique, le lieu des points à partie imaginaire x constante est un cercle de centre $(1, \frac{1}{x})$ et de rayon $\frac{1}{x}$. Enfin, le lieu des points à module constant m est un cercle de centre $(0, 0)$ et de rayon m . L'admittance est obtenue par symétrie du point représentant l'impédance par rapport au centre de l'abaque.

B.3.6 Application à l'étude des quadripôles

Le gain composite unidirectionnel apparaît comme le produit du gain du réseau d'entrée, du gain du quadripôle proprement dit et du gain du réseau de sortie en prenant pour notation les gains d'entrée et de sortie (i étant le port considéré) :

$$G_i = \frac{1 - |\Gamma_i|^2}{|1 - S_{ii}\Gamma_i|^2}$$

maxima en $G_{iMax} = \frac{1}{1 - |S_{ii}|^2}$. Il est alors utile de connaître les lieux des coefficients de réflexion Γ procurant un gain d'entrée ou de sortie constant. La formule précédente utilisée avec un gain constant permet de montrer que ces lieux dans l'abaque de Smith sont un cercle de rayon

$$R_i = \frac{\sqrt{1 - G_i(1 - |S_{ii}|^2)}}{1 + G_i|S_{ii}|^2}$$

et de centre

$$\Omega_i = \frac{G_i}{1 + G_i|S_{ii}|^2} S_{ii}^*$$

De plus, [71, p129] permet de démontrer que

$$NF = NF_{min} + \frac{R_n}{G_S} |Y_S - Y_{opt}|^2$$

ce qui donne en normalisant

$$NF = NF_{min} + r_n \frac{|\Gamma_S - \Gamma_{opt}|^2}{(1 - |\Gamma_S|^2)(1 + |\Gamma_{opt}|^2)}$$

En faisant un calcul à NF constant, le lieu des points Γ vérifiant cette équation est un cercle de rayon

$$R = \frac{\sqrt{N^2 + N(1 - |\Gamma_{opt}|^2)}}{1 + N}$$

et de centre

$$\Omega = \frac{\Gamma_{opt}}{1 + N}$$

en posant

$$N = \frac{F - F_{min}}{4r_n} |1 + \Gamma_{opt}|^2$$

Enfin, comme il est démontré dans [71, pp112-116], si l'on pose K le coefficient de stabilité

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}S_{21}|}$$

et $\Delta = S_{11}S_{22} - S_{12}S_{21}$, alors le quadripôle est :

- inconditionnellement stable si $K > 1$ et $|\Delta| < 1$
- conditionnellement stable si $K > 1$ et $|\Delta| > 1$ ou $K < 1$ et $|\Delta| < 1$
- inconditionnellement instable si $K < 0$ et $|\Delta| > 1$.

Ce critère correspond au critère de stabilité de Linvill ou Stern.

Le cas conditionnellement stable demande une analyse plus approfondie : en sachant que $\Gamma_{in} = S_{11} + \frac{S_{12}S_{21}\Gamma_2}{1 - S_{22}\Gamma_2}$, la limite de stabilité est donnée par $|\Gamma_{in}| = 1$, ce qui amène un lieu de points Γ_i (entrée ou sortie) situé sur des cercles de rayon

$$R_i = \frac{|S_{12}S_{21}|}{||S_{ii}|^2 - |\Delta|^2|}$$

et de centre

$$\Omega_i = \frac{(S_{ii} - \Delta S_{jj}^*)^*}{|S_{ii}|^2 - |\Delta|^2}$$

Selon le cas, l'intersection de l'intérieur de ces cercles avec le disque $|\Gamma| = 1$ (abaque normalisé) marque la zone stable ou instable. De plus, le critère de test change lorsque le cercle de stabilité en entrée ou en sortie est considéré. La condition, en cas d'instabilité conditionnelle se résume à : la zone instable est à l'intérieur du cercle si,

- Pour l'adaptation de la source (notation sous Cadence : SSB) : $|S_{11}| > |\Delta|$
- Pour l'adaptation de la charge (notation sous Cadence : LSB) : $|S_{22}| > |\Delta|$

B.4 Importance de l'implémentation

Ces méthodes de calcul ou ces approches pour la résolution des problèmes étant maîtrisées, le dimensionnement des éléments d'une structure choisie peut être effectué. La phase suivante consiste, en électronique intégrée, à réaliser le dessin des masques utiles à la réalisation en fonderie. Or il se trouve que le dimensionnement fonctionne par modélisation, ce qui sous-entend que les problèmes globaux sont étudiés avec des méthodes locales. Même si en pratique, la phase de prédimensionnement est souvent suivie d'une phase d'optimisation par simulation qui permet de s'affranchir de cette restriction forte des problèmes, il s'agit encore une fois de modèles qui restent incomplets et partiels et qui, de plus, ne sont plus physiques.

La phase de *layout* est critique dans la mesure où elle doit être réalisée en tenant compte des hypothèses de validité des modèles alors que il n'est pas toujours possible de relier directement les paramètres du modèle et la structure physique. En effet, de par la structure de leurs dessins, les résistances et les capacités parasites sont les éléments les plus faciles à trouver : ceci permet de s'assurer aisément du fait qu'une hypothèse sur une faible valeur de capacité grille-source dans un transistor MOS reste valable, même dans le cas où les pistes issues de ces points se croisent dans le dessin. À l'inverse, les inductances parasites sont plus difficiles à détecter : en effet, une piste peut avoir un comportement de ligne donc éventuellement inductif, mais il est plus délicat de s'assurer

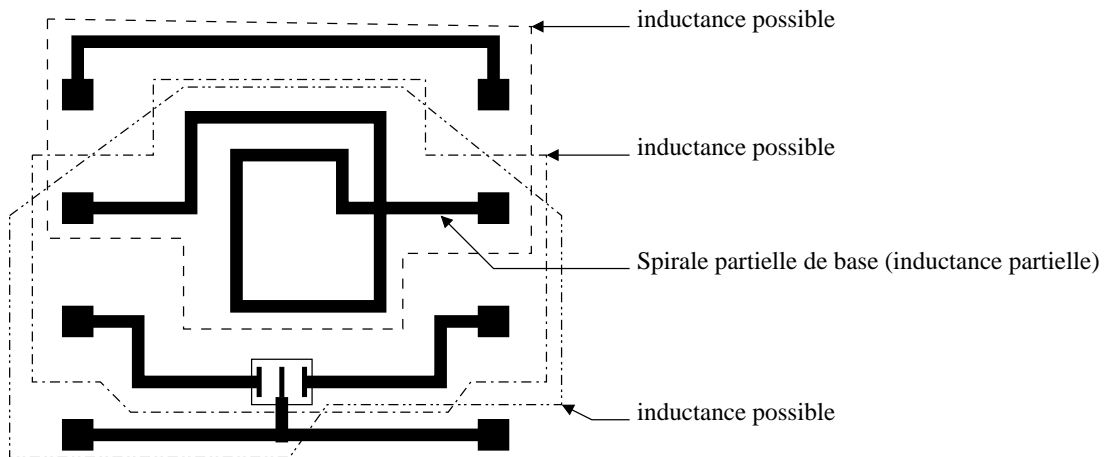


FIG. B.2 – Exemple typique de complétion aléatoire d'inductance imprimée partielle

de l'existence de la boucle fermée nécessaire au dimensionnement des inductances. Par exemple, le dessin d'une inductance imprimée composée par un tour et demi demande de clore la demi-boucle pour définir le flux du champ au travers d'une surface fermée, donc la self inductance. Ceci se traduit par une imprécision forte sur la valeur du composant dans la mesure où il est impossible de savoir *a priori* quelle autre ligne du circuit va pouvoir jouer ce rôle (figure B.2).

Annexe C

Contexte technologique et évolution des objectifs

C.1 Objectifs initiaux

La constatation préalable était que les technologies CMOS constituent désormais une nouvelle solution pour la conception de fonctions RF. Elles sont par ailleurs de plus en plus étudiées, et, outre les performances purement techniques, les technologies initialement développées pour des applications numériques offrent l'avantage considérable de pouvoir intégrer au sein d'un même circuit des fonctions analogiques rapides et des fonctions numériques. Ceci ouvrait alors des perspectives très prometteuses pour la réalisation de systèmes complets de traitement du signal sur une puce.

Compte tenu du fait que l'essentiel des travaux publiés concernait les domaines RF jusqu'à 2 GHz, et d'une manière prospective jusqu'à 5 GHz, le premier volet de l'étude consistait à établir la faisabilité de fonctions RF au-delà de 5 GHz en CMOS, sur le plan théorique et sur le plan pratique. Ceci devait se faire par une analyse approfondie pour chaque brique de base (amplificateur faible bruit, amplificateur moyenne puissance, VCO, mélangeur...) des réalisations courantes en procédés AsGa à base de transistors FET, voire bipolaires à base de transistors HBT. Puis, il s'agissait de franchir un certain nombre de barrières technologiques comme la prise en compte des pertes (et des couplages) par le substrat ainsi que la faible tension d'alimentation, en mettant en avant les avantages inhérents au CMOS : forte intégration, mixage analogique-numérique aisé, commutateurs parfaits, transistors complémentaires...

Ainsi, le sujet de thèse initial pouvait se résumer par les trois points suivants :

- la quantification de l'apport des technologies CMOS numériques futures pour la conception de circuits intégrés radiofréquence,
- l'évolution des architectures et la recherche de structures nouvelles pour les briques élémentaires et leur optimisation en technologie CMOS,
- l'étude et l'implémentation de véhicules de test des briques élémentaires

Si le dernier point, qui concerne la dimension fortement expérimentale de cette thèse, a bien été traité, les deux premiers ont dû être limités. En effet, l'idée initiale consistait à utiliser des technologies *bulk* standard du type IBM ou STMicroelectronics (HCMOS9), en partie caractérisées pour des applications RF, et possédant un trait de gravure de l'ordre de $0,13\mu m$. De plus, l'utilisation

de telles technologies aurait apporté une marge en fréquence permettant l'étude de modules à plus grand gain et plus grande puissance. Enfin, la fréquence d'utilisation a été revue à la hausse pour satisfaire aux besoins de nouvelles applications cibles. Nous allons expliquer en détail ces trois points dans les sections suivantes.

C.2 Degré de maturité des technologies utilisées

C.2.1 Cas de la technologie ST HCMOS9

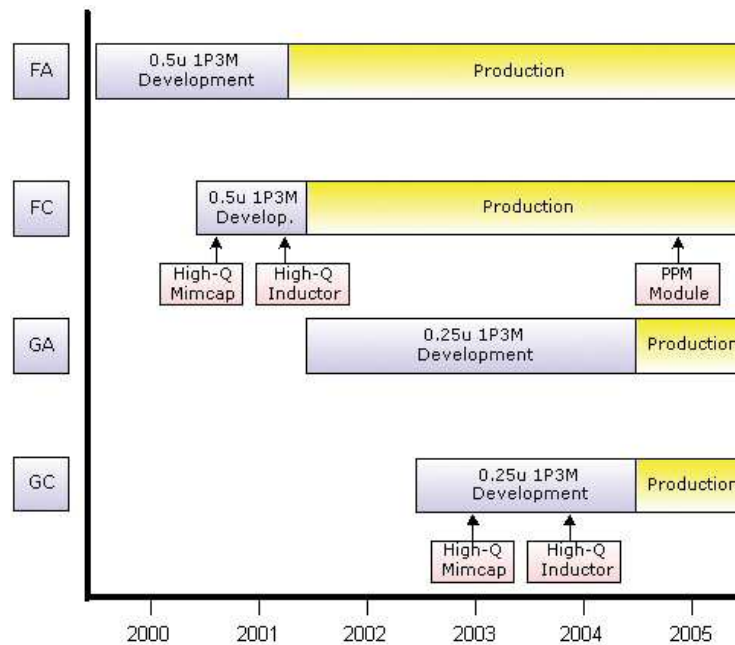
Dans un premier temps, lors de l'établissement du dossier de thèse, la technologie CMOS *bulk* de STMicroelectronics avait été envisagée. Elle présentait une longueur de grille de $0,13\mu m$ et l'investissement de la recherche dans cette technologie était intéressant sous deux aspects : son bas coût général et son évolution à court terme vers des technologies $90nm$ voir $65nm$ (ce qui est confirmé aujourd'hui). Pour des raisons étrangères à ce travail de thèse, il n'a pas été possible d'accéder à cette technologie et aux données nécessaires au bon déroulement du projet de recherche. Cette voie a été abandonnée après six mois d'étude.

C.2.2 Cas des technologies Peregrine

Une autre option adoptées par les équipes de THALES Systèmes Aéroportés, était l'utilisation des technologies Peregrine, dont les performances annoncées étaient prometteuses et dont l'accès était garanti sur la version UTSi $0,5\mu m$ qui présentait l'inconvénient majeur de ne pas être à la pointe des longueurs de grille. Ce dernier point aurait du être compensé par la présence du substrat SOS augmentant les facteurs de qualité des éléments passifs et d'une fréquence maximum officiellement annoncée dans le *design kit* de $F_{max} = 90GHz$. De plus, Peregrine affichait une évolution à court terme vers une technologie identique au niveau des éléments passifs mais possédant des transistors $0,25\mu m$ (figure C.1) qui selon les publications disponibles en 2002 laissait envisager des performances en phase avec les utilisations cibles ([81]).

Malheureusement, si cette étude a montré que le fort facteur de qualité des éléments passifs était d'un intérêt nuancé par la mise en évidence de couplages plus fort (chapitre II-2), ce qui est un résultat en soit, elle a été pénalisée par des effets extérieurs. Dans un premier temps, concernant les transistors en $0,5\mu m$, les années 2003-2004 ont vu nombre de publications présentant des résultats incohérents : $F_{max} = 42GHz$ en technologie $0,5\mu m$ et $F_{max} = 90GHz$ seulement en $0,25\mu m$ ([102]) ou $F_{max} = 11GHz$ et $F_{max} = 34GHz$ en technologie $0,5\mu m$ ([103]) par exemple. De plus, le transistor optimum apparaissant dans les documents officiels n'était ni proposé ni caractérisé dans le *design kit*. Enfin, les documents qui ont servi de support au choix de THALES concernait la version FA du *process*, ne disposant pas de niveau de métal supérieur épais ni de capacité MIM mais ayant une banque d'inductances paramétrées. Cependant, les véhicules de test ont dû être réalisés sur la version FC du processus (seule disponible), avec les limitations dans le choix et la modélisations des éléments passifs présentées au chapitre II-1.

Enfin, un retard dans le lancement de la technologie $0,25\mu m$, processus non encore complètement maîtrisé aujourd'hui, a obligé à réaliser un premier véhicule de test sur technologie $0,5\mu m$. Si ce dernier s'est montré riche en enseignement sur certains points en imposant l'innovation sur certaines structures, l'ensemble des mesures met en évidence des limites de la technologie et une inadéquation des modèles de cette technologie par rapport à l'objectif d'une chaîne avec gain à $10GHz$.

FIG. C.1 – Roadmap des technologies Peregrine (www.peregrine-semi.com).

C.3 Évolution des objectifs

L'étude bibliographique, qui a occupé une bonne partie de l'année 2003, a mis en évidence un nombre croissant d'études dans la zone des $5GHz$ sur technologies CMOS (essentiellement afin de présenter des solutions dans le cadre des télécommunications grand public). Les fréquences intéressant THALES se situant autour de $10GHz$, cette fréquence a alors été choisie comme point d'entrée de la chaîne, augmentant la difficulté.

Les premières simulations sur la technologie $0,5\mu m$ ont montré des difficultés majeures dans la réalisation simultanée de l'adaptation, de la puissance et du faible bruit. Il a alors été conjointement décidé par tous les acteurs de concentrer les efforts sur la chaîne de réception, de façon à ne pas introduire en plus les contraintes inhérentes à la puissance : consommation, linéarité, polarisation variable...

Enfin, l'arrivée tardive du *process* $0,25\mu m$ nous a amené à faire une étude globale permettant une mise en perspective des résultats obtenus par extrapolation prospective : face à la mise à disposition tardive des *process* GC, il a été choisi de réaliser deux circuits, l'un en $0,5\mu m$ et l'autre en $0,25\mu m$. Même si l'on pouvait s'attendre à des limitations dans le cas le plus long, cette approche permettait d'amorcer une courbe de progression des performances en fonction de la précision de gravure. De plus, le thème global de la thèse s'est trouvé recentré verticalement par des études locales concernant les technologies, et les techniques de réalisation des éléments passifs (voir par exemple l'article [83] concernant les CPW que nous avons publié au congrès ICECS 2004).

Table des figures

I-1.1	Synoptique d'une liaison sans fil	9
I-1.2	Synoptique d'une extrémité de transmission symétrique	10
I-1.3	Synoptique d'un émetteur	11
I-1.4	Synoptique d'un récepteur	12
I-1.5	Schéma synoptique d'un récepteur numérique : exemple d'une démodulation QAM . . .	15
I-2.1	Commutateurs : (a)interrupteur à MOS, (b)structure de base (c)SPDT complet [4] . .	18
I-3.1	Éléments critiques d'un amplificateur faible bruit	20
I-3.2	Neutrodynage	21
I-3.3	LNA : un amplificateur avant tout (a)émetteur commun et (b)base commune	22
I-3.4	LNA à deux étages ([10])	23
I-3.5	LNA à montage cascode couplé par capacité ([11],[12])	23
I-3.6	LNA bipolaire incorporant un transformateur dans la boucle ([14])	25
I-3.7	LNA à double polarisation ([17])	25
I-3.8	LNA à gain variable ([20])	27
I-3.9	(a)LNA cascodé et (b)schéma équivalent	27
I-3.10	LNA utilisant les MOS en commande (a)[27] et (b)[28]	29
I-3.11	Amplificateur NMOS avec charge résistive	29
I-3.12	(a)Amplificateur avec charge active et (b)utilisation de la source	30
I-3.13	Asservissement du courant de polarisation [30]	30
I-3.14	LNA optimum en technologie MOS vis-à-vis de l'adaptation d'impédance [8]	32
I-3.15	LNA MOS à deux étages et réutilisation du courant de polarisation [36]	32
I-4.1	Principe de l'oscillateur à deux ports (a) et à un port (b)	38
I-4.2	Fonction de transfert H du VCO	38
I-4.3	Effet de la saturation sur le bouclage dans le VCO	39
I-4.4	Multivibrateur d'Abraham et Block	41
I-4.5	Oscillateur de Colpitts	42
I-4.6	Oscillateur de Clapp	42
I-4.7	Oscillateurs différentiels classiques en technologie (a)MOS et (b)CMOS	43
I-4.8	Spectre d'un oscillateur idéal et réel	45
I-5.1	Principe du multiplieur (a)analogique, (b)à découpage (c)MOS et (d)non linéaire . . .	48
I-5.2	Mélangeurs double équilibrés	51
I-5.3	Mélangeurs actifs	52
I-5.4	<i>Single Balanced Mixer</i>	53

I-5.5 La cellule de Gilbert, ou le mélangeur tout différentiel actif	54
I-5.6 Mélangeur à réjection de fréquence image	55
I-5.7 Mélangeur de Hartley	55
I-5.8 Mélangeur de Weaver	56
II-1.1 Structure de la technologie UTSi	60
II-1.2 Modélisation des inductances dans le <i>design kit</i> Peregrine	61
II-1.3 Banc de test sous pointes	64
II-2.1 Conception d'un switch en technologie CMOS	66
II-2.2 Photographie des switches MOS (a et b) en technologie <i>SOS0.25μm</i>	67
II-2.3 Éléments parasites selon le <i>layout</i> des switches	68
II-2.4 Résultats de simulation des switches	69
II-2.5 Mesures en paramètres S des switches	70
II-3.1 Structure optimum d'un LNA en technologie MOS en bande X	72
II-3.2 Choix des paramètres de polarisation du NMOS	74
II-3.3 Schéma des LNA AMELIE et AMNLA	75
II-3.4 Implémentation des LNA AMELIE et AMNLA	76
II-3.5 Schéma du LNA MELODIE	76
II-3.6 Photographie du LNA MELODIE	77
II-3.7 Mesures en paramètres S des LNA (valeurs moyennes)	78
II-3.8 Gain et facteur de bruit des LNA (valeurs optimum)	79
II-3.9 Point de compression à 1dB minimum des LNA	80
II-4.1 Schéma de principe d'un oscillateur	81
II-4.2 Trois types d'oscillateurs classiques (a)Hartley (b)Collpits (c)différentiel générique	82
II-4.3 Schéma de l'oscillateur MELODIE	83
II-4.4 Schéma de l'oscillateur AMELIE (Petit <i>et al.</i> , [78])	84
II-4.5 Principe d'un type d'oscillateur pour le cas $f_0 \approx f_t$ (Petit <i>et al.</i> , [78])	84
II-4.6 Photographie des oscillateurs (a)AMELIE et (b)MELODIE	85
II-4.7 Signal de sortie de l'oscillateur AMELIE	86
II-4.8 Bruit de phase des oscillateurs AMELIE (selon l'harmonique) et MELODIE	86
II-4.9 Plage de variation de la fréquence de l'oscillateur MELODIE	87
II-5.1 Action fréquentielle des mélangeurs	89
II-5.2 Schéma du mélangeur AMELIE	90
II-5.3 Synoptique et schéma du mélangeur MELODIE	91
II-5.4 Rayonnement électrique (a)microstrip classiques sur AsGa et (b)pistes sur isolant	91
II-5.5 (a) Modèle naturel de l'inductance et (b) comportement fréquentiel	93
II-5.6 Modèle d'une inductance imprimée	94
II-5.7 Différentes sortes de ligne	95
II-5.8 Inductance carrée intégrée	96
II-5.9 l en fonction de L et s pour une inductance carrée	96
II-5.10 L/l en fonction L et s pour une inductance carrée	97
II-5.11 Démonstration de la réjection de fréquence image dans MELODIE	98
II-5.12 Photographie du mélangeur AMELIE	99
II-5.13 Photographie du mélangeur MELODIE	100

II-5.14 Gains des mélangeurs	100
II-5.15 Point de compression des mélangeurs	101
III-2.1 Impédance parallèle de l'inductance L1P1_SM	108
III-2.2 Perspectives d'évolution des structures de la chaîne de réception	112
A.1 Modèle équivalent d'un tronçon de ligne élémentaire	122
A.2 Modèle équivalent d'un composant passif discret	123
A.3 Comportement d'un composant discret à l'ordre près	124
A.4 Modèle de Giacoletto petit signal basse fréquence en II du transistor bipolaire	125
A.5 Éléments parasites physiques du transistor bipolaire	126
A.6 Modèle de Giacoletto HF du transistor bipolaire	127
A.7 Réalisation physique et éléments parasites du transistor NMOS	127
A.8 Coupe d'un substrat SOI typique	128
A.9 Les transistors bipolaires parasites sur un PMOS	128
A.10 Champ électrique rayonné par une ligne sur différentes technologies	129
A.11 Transistor NMOS sur substrat SOS	130
A.12 Modèle en II HF petit signal du transistor NMOS	133
A.13 Exemples de transistors composites : (a)Darlington, (b)Paraphase et (c)Cascode	134
B.1 (a)Structure et (b)modèle interne d'un système à deux accès	136
B.2 Exemple typique de complétion aléatoire d'inductance imprimée partielle	141
C.1 <i>Roadmap</i> des technologies Peregrine (www.peregrine-semi.com).	145

Liste des tableaux

1	Sigles	1
2	Bandes de fréquences	2
I-2.1	Caractéristiques typiques des switches	18
I-3.1	Caractéristiques typiques d'un LNA	20
I-3.2	Les LNA et leur évolution	35
I-5.1	Caractéristiques typiques d'un mélangeur [9]	50
II-1.1	Les résistances sur technologies SOS Peregrine	60
II-1.2	Les capacités sur technologies SOS Peregrine	60
II-1.3	Les inductances (partielles) sur technologies SOS Peregrine	60
II-1.4	Les transistors NMOS sur technologies SOS Peregrine	61
II-5.1	Coefficients de formes pour la formule de Wheeler modifiée	93
III-1.1	Résumé des performances obtenues par blocs de la chaîne de réception	106
III-2.1	Facteur de mérite des LNA MOS classiques comparés à MELODIE	109
III-2.2	Oscillateurs MOS classiques comparés à AMELIE et MELODIE	110
A.1	Intérêts comparés des technologies sur silicium sur une échelle allant de - - - à + + +	124
A.2	Équations simplifiées des transistors NMOS	131

Références bibliographiques

- [1] Jacques Marouani. MP3 : le marché mondial pourrait quadrupler d'ici 2009. *Electronique Internationale*, (598) :13, Avril 2005.
- [2] Nicolas Kuhn. Les consommateurs de demain auront deux baladeurs numériques dans la poche. *Electronique Internationale*, (598) :5, Avril 2005.
- [3] Frédéric Rémond. Austriamicrosystems poursuit sa divertification avec succès. *Electronique Internationale*, (598) :10, Avril 2005.
- [4] Carlo Tinella, Jean-Michel Fournier, Didier Belot, and Vincent Knopik. A high-performance CMOS-SOI antenna switch for the 2.5-5-GHz band. *IEEE Journal of Solid-State Circuits*, 38(7) :1279–1283, July 2003.
- [5] Zhenbiao Li, Hyun Yoon, Feng-Jung Huang, and K.O. Kenneth. 5.8-GHz CMOS TR switches with high and low substrate resistances in a 0.18 – μm CMOS process. *IEEE Journal of Solid-State Circuits*, 38(7) :1279–1283, July 2003.
- [6] Niranjana Talwalkar, C. Patrick Yue, and S. Simon Wong. An integrated 5.2GHz CMOS T/R switch with LC-tuned substrate bias. In *IEEE International Solid-State Circuits Conference*, page CDROM proceedings, 2003.
- [7] Park Piljae, Soo Kim Cheon, and Kyu Yu Hyun. Linearity, noise optimization for two stage RF CMOS LNA. In *Proc of IEEE IC on Electrical and Electronic Technology*, pages 756–758, 2001.
- [8] Derek K. Shaeffer and Thomas H. Lee. A 1.05-V, 1.5-GHz CMOS low noise amplifier. *IEEE Journal of solid-state circuits*, 32(4) :745–759, May 1997. with presentation at the CISS.
- [9] Behzad Razavi. *RF microelectronics*. Prentice Hall, 1998.
- [10] R. G. Meyer and W. D. Mack. A 1-GHz biCMOS RF front-end integrated circuit. *IEEE Journal of solid-state circuits*, 29(3) :350–355, March 1994.
- [11] B. Ray, T. Manku, R.D. Beards, J.J. Nisbet, and W. King. A highly linear bipolar 1 V folded cascode 1.9 GHz low noise amplifier. In *inproceedings of the Bipolar/BiCMOS Circuits and Technology Meeting*, pages 157–160, 1999.
- [12] T.K.K. Tsang and M.N. El-Gamal. A fully integrated 1 V 5.8 GHz bipolar LNA. In *The 2001 IEEE International Symposium on Circuits and Systems (ICAS)*, pages 842–845, 2001.
- [13] Adiseno M. Ismail and H.K. Olsson. Indirect negative feedback bipolar LNA. In *6th IEEE Conf. on Electronics Circuits and Systems*, pages 509–512, 1999.
- [14] A. K. Wong, S. H. Lee, and M. G. Wong. Current combiner enhances active mixer performance. *Microwaves and RF*, pages 156–165, March 1994.

- [15] Lee Jeiyong, Lee Geunho, Niu Guofu, J.D. Cressler, J.H. Kim, J.C. Lee, B. Lee, and N.Y. Kim. The design of sige hbt LNA for imt-2000 mobile application. In *IEEE MTT-S International Microwave Symposium Digest*, pages 1261–1264, 2002.
- [16] D. Wang, K. Krishnamurthi, S. Gibson, and J. Brunt. A 2.5 GHz low noise high linearity LNA/mixer ic in sige biCMOS technology. In *RFIC Symposium*, pages 249–252, 2001.
- [17] E. Taniguchi, K. Maeda, T. Ikushima, K. Sadahiro, K. Itoh, N. Suematsu, and T. Takagi. Dual bias feed sige hbt low-noise linear amplifier. In *IEEE MTT-S International Microwave Symposium Digest*, pages 285–288, 2001.
- [18] G. Schuppener, T. Harada, and Li Yinggang. A 23-GHz low-noise amplifier in SiGe heterojunction bipolar technology. In *RFIC Symposium*, pages 177–180, 2001.
- [19] H. Knapp, D. Zoschg, T. MEister, K. Aufinger, S. Boguth, and L. Treitinger. 15 GHz wideband amplifier with 2.8 dB noise figure in sige bipolar technology. In *IEEE MTT-S International Microwave Symposium Digest*, pages 591–594, 2001.
- [20] Yuuichi Aoki, Masahiro Fujii, Satoru Ohkubo, Sadayoshi Yoshida, Takaki Niwa, Yosuke Miyoshi, Hideaki Dodo, Norio Goto, and Hikaru Hida. A 1.4-dB-NF variable-gain LNA with continuous control for 2-GHz-band mobile phones using ingap emitter hbt. In *RFIC Symposium*, pages 231–234, 2001.
- [21] D. Luqyeze, M.A. and Consonni and C.Y. Yamada. MMIC wideband low noise amplifier. In *SBMO/IEEE MTT-S, APS and LEOS International Microwave and Optoelectronics Conference (IMOC)*, pages 264–266, 1999.
- [22] E. Martins, M.V.G. Gomes, E.M. Bastida, and J.W. Swart. Design of LNA and gilbert cell mixer MMICs with a GaAs PHEMT technology. In *SBMO/IEEE MTT-S, APS and LEOS International Microwave and Optoelectronics Conference (IMOC)*, pages 267–270, 1999.
- [23] D.C. Bannister, C.A. Zelle, and A.R. Barnes. A 2-18 GHz wideband high dynamic range receiver MMIC. In *RFIC Symposium*, pages 147–149, 2002.
- [24] T. Nakagawa, M. Kawashima, H. Hayashi, and K. Araki. A 0.9-2.5 GHz wideband direct conversion receiver for multi-band applications. In *23rd Annual Technical Digest Gallium Arsenide Integrated Circuit (GaAs IC) Symposium*, pages 37–40, 2001.
- [25] K. Nishikawa, B. Piernas, K. Kamogawa, T. Nakagawa, and K. Araki. Compact LNA and vco 3-d MMICs using commercial GaAs PHEMT technology for V-band single-chip trx MMIC. In *IEEE MTT-S International Microwave Symposium Digest*, pages 1717–1720, 2002.
- [26] Ock Sungmin, Han Kichon, Lee Jong-Ryul, and Kim Bumman. A modified cascode type low noise amplifier using dual common source transistors. In *IEEE MTT-S International Microwave Symposium Digest*, pages 1423–1426, 2002.
- [27] Toshifumi Nakatani, Junji Itoh, Ikuo Imanishi, and Osamu Ishikawa. A wide dynamic range switched-LNA in sige biCMOS. In *IEEE MTT-S International Microwaves Symposium Digest*, pages 281–284, 2001.
- [28] P. Aparin, V. and Gazerro, Zhou Jianjun, Sun BO, S. Szabo, E. Zeisel, T. Segoria, S. Ciccarelli, C. Persico, C. Narathong, and R. Sridhara. A highly-integrated tri-band/quad-mode sige biCMOS RF-to-baseband receiver for wireless cdma/wcdma/amps applications with gps capability. In *IEEE International Solid-State Circuits Conference (ISSCC)*, pages 234–235, 2002.

-
- [29] H. Fouad, K. Sharaf, E. El-Diwany, and H. El-Hennawy. An RF CMOS cascode LNA with current reuse and inductive source degeneration. In *inproceedings of the 44th IEEE 2001 Midwest Symposium on Circuit and Systems*, pages 824–828, 2001.
 - [30] Andrew N. Karanicolas. A 2.7-V 900-MHz CMOS LNA and mixer. *IEEE Journal of solid-state circuits*, 31(12):1939–1996, December 1996.
 - [31] Ryuichi Fujimoto, Kenji Kojima, and Shoji Otaka. A 7-GHz 1.8-dB NF CMOS low-noise amplifier. *IEEE Journal of solid-state circuits*, 37(7):852–856, July 2002.
 - [32] Paul Leroux, Johan Janssens, and Michiel Steyaert. A 0.8-dB NF esd-protected CMOS LNA operating at 1.23GHz. *IEEE Journal of solid-state circuits*, 37(6):760–765, June 2002.
 - [33] Thomas H. Lee. The design of narrowband CMOS RF low-noise amplifiers. Article from the CISS’ archives.
 - [34] Chih-Chun Tang, Chia-Hsin Wu, and Shen-Iuan Liu. Miniature 3-d inductors in standard CMOS process. *IEEE Journal of solid-state circuits*, 37(4):471–480, April 2002.
 - [35] F. Svelto, G. Montagna, S. Deantoni, G. Braschi, and R. Castello. Solutions for image rejection CMOS LNA. In *The 2000 IEEE International Symposium on Circuits and Systems*, pages 49–52, 2000.
 - [36] Trinquint Semiconductor. Tq9203, low-current RFic downconverter. *Wireless Communication Products*, 1995.
 - [37] Xi Li, T. Brogan, M. Esposito, B. Myers, and K.K. O. A comparison of CMOS and sige LNA’s and mixers for wireless lan application. In *IEEE Conference on Custom Integrated Circuits*, pages 531–534, 2001.
 - [38] Xiaomin Yang, Thomas Wu, and John McMacken. Design of LNA at 2.4 GHz using 0.25 μm technology. In *Topical Meeting on Silicon Monolithic IC in Radiofrequency Systems*, pages 12–17, 2001.
 - [39] Jin Wei, P.C.H. Chan, and Hai Chaohe. 1.5-V 1.8-GHz SOI low noise amplifiers for pcs receivers. In *IEEE International SOI Conference*, pages 16–17, 1999.
 - [40] Jin Heng and C.A.T. Salama. A 1-V, 1.9-GHz cdma, CMOS on SOI, low noise amplifier. In *IEEE International SOI Conference*, pages 102–103, 2000.
 - [41] C. Tinella, J.M. Fournier, and J. Haidar. Noise contribution in a fully integrated 1-V, 2.5-GHz LNA in CMOS-SOI technology. In *8th IEEE International Conference on Electronic Circuits and Systems*, pages 1611–1614, 2001.
 - [42] I. Lagnado, P.R. de la Houssaye, W.B. Dubbelday, S.J. Koester, R. Hammond, J.O. Chu, J.A. Ott, P.M. Mooney, L. Perraud, and K.A. Jenkins. Silicon-on-sapphire for RF si systems 2000. In *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pages 79–82, 2000.
 - [43] Makoto Yoshimi. Current status and future directions of SOI technology. *Solid-State Electronics*, 46:951–958, 2002.
 - [44] Piia Simonen, Aarne Heinonen, Mika Kuulusa, and Jari Nurmi. Comparison of bulk CMOS and SOI CMOS technologies in dsp processor circuit implementation. In *The 13th International Conference on Microelectronics*, pages 107–110, October 2001.
 - [45] S. Voinigescu and M. Maliepaard. 5.8 GHz and 12.6 GHz si bipolar MMICs. In *ISSCC97 Digest Technical Papers*, pages 372–373, February 1997.

- [46] G. Schuppener, M. Mokhtari, and B. Kerzar. A 5.8 GHz low noise amplifier for wireless lan applications in silicon bipolar technology. In *Proceedings of ICECS*, volume 2, pages 773–776, 1999.
- [47] M. Ono, N. Suematsu, S. Kubo, T. Takagi, and O. Ishida. 1.9GHz/5.8GHz-band on-chip matching si-MMIC low noise amplifier fabricated on high resistive si substrate. In *RFIC Symposium*, pages 189–192, 1999.
- [48] J.R. Long, M.A. Copeland, S.J. Kovacic, D.S. Malhi, and D.L. Harame. RF analog and digital circuits in sige technology. In *IEEE International ISSCC*, pages 82–83, 1996.
- [49] M. Soyuer, J. Plouchert, H. Ainspan, and J. Burgartz. A 5.8GHz 1v low noise amplifier in sige bipolar technology. In *RFIC Symposium*, pages 19–22, 1997.
- [50] B. Foley, P. Murphy, and A. Murphy. A monolithic sige 5 GHz low noise amplifier and tuneable image-reject filter for wireless lan applications. In *High Frequency Postgraduate Student Colloquium*, pages 26–31, 2000.
- [51] A. Schmidt and S. Catala. A universal dual band LNA implementation in sige technology for wireless application. *IEEE Journal of Solid-State Circuits*, 36 :1127–1131, July 2001.
- [52] O. Shana’a, I. Linscott, and L. Tyler. Frequency-scalable sige bipolar RF front-end design. *IEEE Journal of Solid-State Circuits*, 36 :888–895, June 2001.
- [53] Liang Qingqing, Niu Guofu, J.D. Cressler, S. Taylor, and D.L. Harame. Geometry and bias current optimization for sige hbt cascode low-noise amplifiers. In *IEEE RFIC Symposium*, pages 407–410, 2002.
- [54] B. K. Ko and K. Lee. A new simultaneous noise and input power matching technique for monolithic LNA’s using cascode feedback. *IEEE Transaction on Microwaves Theory Technics*, 45 :1627–1630, September 1997.
- [55] Sushil Kumar, Michael Vice, Henrik Morkner, and Lam Wayne. Enhancement mode PHEMT low noise amplifier with LNA linearity control (ip3) and mitigated bypass switch. In *RFIC Symposium*, pages 213–216, 2002.
- [56] Henrik Morkner, Mike Frank, and Shun Yajima. A miniature PHEMT switched-LNA for 800 MHz to 8.0 GHz handset applications. In *RFIC Symposium*, pages 109–112, 1999.
- [57] Soo Kim Cheon, Park Min, Kim Chung-Hwan, Cheol Hyeon Yeong, Kyu Yu Hyun, Lee Kwyro, and Soo Nam Kee. A fully integrated 1.9-GHz CMOS low-noise amplifier. *IEEE Microwave and Guided Wave Letters*, 8(8) :293–295, August 1998.
- [58] K. Runge, D. Pehlke, and B. Schiffer. On-chip matched 5.2 and 5.8 GHz differential LNA’s fabricated using 0.35 μ m CMOS technology. *Electonic Letters*, 3522 :1899–1900, October 1999.
- [59] R. A. Rafla and M. N. El-Gamal. Design of a 1.5 V CMOS integrated 3 GHz LNA. In *Proceedings of the 1999 IEEE Int’l Symposium on Circuits and Systems*, volume 2, pages 440–443, 1999.
- [60] B. Floyd, J. Metha, C. Gamero, and K. O. Kenneth. A 900-MHz 0.8 μ m CMOS low noise amplifier with 1.2dB noise figure. In *IEEE Custom Integrated Circuits Conference*, 1999.
- [61] X. Li, H.-S. Kim, M. Ismail, and H. Olsson. A novel design approach for GHz CMOS low noise amplifiers. In *IEEE Radio and Wireless Conference*, pages 285–288, 1999.
- [62] B. A. Floyd, J. Metha, C. Gamero, and K. O. Kenneth. A 900MHz 0.8 μ m CMOS low noise amplifier with 1.2dB noise figure. In *IEEE Custom Intergrated Circuits Conference Digest*, pages 661–664, 1999.

-
- [63] R.A. Rafla and M.N. El-Gamal. 2.4-5.8 GHz LNA's using integrated inductors. In *Proc. of the 43rd IEEE Midwest Symposium on Circuits and Systems*, pages 302–304, 2001.
 - [64] K. Sharaf. 2-V, 1-GHz CMOS inductorless LNAs with 2-3 dB NF. In *Proc. of the 12th International Conference on Microelectronics*, pages 379–383, 2000.
 - [65] G. Gramegna, A. Magazzu, C. Sclafani, and M. Paparo. Ultra-wide dynamic range 1.75dB noise figure, 900 MHz CMOS LNA. In *ISSCC Digest Technical Papers*, pages 380–381, February 2000.
 - [66] G. Gramegna, M. Paparo, P.G. Erratico, and P. De Vita. A sub-1-dB NF \pm 2.3-kV esd-protected 900 MHz CMOS LNA. *IEEE Journal of Solid-State Circuits*, 36 :1010–1017, July 2001.
 - [67] P. Leroux and M. Steyaert. High-performance 5.2 GHz LNA with on-chip inductor to provide esd protection. *Electronics Letters*, 37(7) :467–469, March 2001.
 - [68] J.C. Huang, Ro-Min Weng, Hsiao Chih-Lung, and Kun-Yi Lin. A 2 V 2.4 GHz fully integrated CMOS LNA with Q-enhancement circuit. In *Asia-Pacific Microwave Conference*, pages 1028–1031, 2001.
 - [69] Liu Ren-Chieh, Lee Chung-Rung, Wang Huei, and Wang Chorn-Kuang. A 5.8-GHz two-stage high-linearity low-voltage low noise amplifier in a 0.35- μ m CMOS technology [wlan]. In *Radio Frequency Integrated Circuits (RFIC) Symposium*, pages 221–224, 2002.
 - [70] Brian A. Floyd, Yuan Shi, Leathen abd Taur, Isaac Lagnado, and Kenneth K. O. A 23.8-GHz SOI CMOS tuned amplifier. *IEEE Transactions on Microwave Theory and Techniques*, 48(4) :803–809, April 2001.
 - [71] Martine Villegas. *Radiocommunications numérique/2 Conception de circuit intégrés et micro-ondes*. DUNOD, 1 edition, 2002.
 - [72] Samuel Y. Liao. *Microwave Circuit Analysis and Amplifier Design*. Prentice-Hall International Editions, 1 edition, 1987.
 - [73] François De Dieuleveult. *Électronique appliquée aux hautes fréquences*. DUNOD, 1 edition, 1999.
 - [74] Li Qiang, Zhang Jinlong, Li Wei, and J.S. Yuan. CMOS RF mixer no-linearity design. In *MWSCAS*, volume 2, pages 808–811, 2001.
 - [75] Ye Song, K. Yano, and C.A.T. Salama. A 1 V, 1.9 GHz mixer using a lateral bipolar transistor in CMOS. In *International Symposium on Low Power Electronics and Design*, pages 112–116, 2001.
 - [76] Li Xi, T. Brogan, M. Esposito, B. Myers, and K.K. O. A comparison of CMOS and sige LNA's and mixers for wireless lan application. In *IEEE Conference on Custom Integrated Circuits*, pages 531–534, 2001.
 - [77] Gilles Petit, Richard Kielbasa, and Vincent Petit. A novel approach for Radio Frequency Front End as Part of System-On-Chip in Digital MOS Technologies. In *IEEE International Symposium on Industrial Electronics*, pages 147–149, 2004.
 - [78] Gilles Petit, Richard Kielbasa, and Vincent Petit. A new kind of CMOS high frequency oscillators. In *IEEE International Symposium on Radio Frequency Integrated Circuits*, pages 617–620, 2005.
 - [79] Gilles Petit, Richard Kielbasa, and Vincent Petit. The importance of microwave approach for high frequency MOS analog designers. In *DCIS*, pages 757–760, 2004.

- [80] Gilles Petit, Richard Kielbasa, and Vincent Petit. Influence of back ground plane on new radio frequency monochip systems. In *IEEE International Conference on Industrial Technology*, pages CD-ROM proceedings, 2004.
- [81] Jason C.S. Woo. Final report 1997-1998 for MICRO project 97-208. In *Internal publication of the University of California supported by Peregrine Semiconductor*, 1997.
- [82] Jean-Pierre Raskin, Alberto Viviani, Denis Flandre, and Jean-Pierre Colinge. Substrate crosstalk reduction using SOI technology. *IEEE Transaction on Electron devices*, 44(12) :pp 2252–2261, December 1997.
- [83] Gilles Petit, Richard Kielbasa, and Vincent Petit. Criterion of design for small value integrated self-inductors. In *IEEE International Conference on Electronics Circuits and Systems*, pages 491–494, 2004.
- [84] Sunderarajan S. Mohan, Maria del Mar Hershenson, Stephen P. Boyd, and Thomas H. Lee. Simple accurate expression for planar spiral inductances. *IEEE Journal of solid-state circuits*, 34(10) :1419–1424, October 1999.
- [85] H. Rhoite and W. Dahlke. On-chip spiral inductors with patterned ground shields for si-based RF ic's. *IEEE Journal of solid-state circuits*, 33(5) :743–752, May 1998.
- [86] Paul Leroux, Johan Janssens, and Michiel Steyaert. Influence of novel MOS varactors on the performance of a fully integrated umts vco in standard 0.25 μm CMOS technology. *IEEE Journal of solid-state circuits*, 37(7) :953–958, July 2002.
- [87] Ali M. Niknejad and Robert G. Meyer. Analysis, design, and optimization of spiral inductors and transformers for Si RF IC's. *IEEE Journal of Solid-State Circuits*, 33, October 1998.
- [88] H. A. Wheeler. Simple inductance formulas for radio coils. *Proc IRE*, 16(10) :1398–1400, October 1928.
- [89] H. Feng, G. Jelodin, K. Gong, R. Zhan, Q. Wu, C. Chen, and A. Wang. Super compact RFIC inductors in 0.18 μm CMOS with copper interconnects. In *RFIC Symposium*, pages 443–446, 2002.
- [90] E. Yamashita and K. Atsuki. Analysis of microstrip-like transmission lines by nonuniform discretization of integral equations. In *IEEE Transaction, MTT-24*, pages 195–200, 1976.
- [91] C.P. Wen. Coplanar waveguide : A surface strip transmission line suitable for non-reciprocal gyromagnetic device application. In *IEEE Transaction, MTT-17*, pages 1087–1090, 1969.
- [92] W. Hilberg. From approximations to exact relations for characteristic impedances. In *IEEE Transaction, MTT-17*, pages 259–265, 1969.
- [93] I.J. Bahl. Design considerations for coplanar waveguides and coplanar strips. *Elect. Eng. Dept., Indian Institute of Technology*, 78.
- [94] C. W. Wu, M. C. Su, P. S. Hsiao, K. P. Lan, and K. Y. J. Hsu. A direct-conversion CMOS receiver for 5GHz wireless LAN. In *IEEE APASIC Conference*, page CDROM proceedings, 2002.
- [95] Y. Park, S. Chakraborty, C.-H. Lee, S. Nuttinck, and J. Laskar. Wide-band CMOS VCO and frequency divider design for quadrature signal generation. In *IEEE MTT-S Digest*, pages 1493–1496, 2004.
- [96] P. Andreani and S. Mattisson. A 2.4-GHz CMOS monolithic VCO based on an MOS varactor. In *ISCAS'99*, May-June 1999.

-
- [97] H Wang. A 50GHz VCO in 0.25 μ m cmos. In *IEEE ISSCC Dig. Tech. Papers*, pages 372–373, February 2001.
 - [98] T.A. Fulton and G.J. Dolan. Observation of single-electron charging effects in small tunnel junction. *Physical Review Letters*, (59) :pp 109–112, July 1987.
 - [99] B. Agard and D. Vinck. Gestion de la diversité : 3 études de cas. In *5eme conférence francophone de MOdélisation et SIMulation, Modélisation et simulation pour l'analyse et l'optimisation des systèmes industriels et logistiques, MOSIM'04*, September 2004.
 - [100] Marc Lescure. *Introduction aux circuits intégrés analogiques CMOS submicroniques*. INPT-ENSEEIH, 2004.
 - [101] Maryline Bawedin and Izamova Dilorom. *Transistor MOS submicronique*. Université Catholique de Louvain, cours ELEC2550, 2005.
 - [102] Toshiyuki Nakamura, Yoshiki Nagamoto, and Hideaki Matsushashi. Silicon on sapphire (SOS) device technology. *Oki Technical Review*, 71(4) :pp 66–69, October 2004.
 - [103] Kenneth Tsui, Kevin J. Chen, Sang Lam, and Mansun Chan. 0.5 μ m silicon-on-sapphire metal oxide semiconductor field effect transistor for RF power amplifier applications. *Japanese Journal of Applied Physics*, 42(8) :pp 4982–4986, August 2003.
 - [104] P. R. Gray and R. G. Meyer. *Analysis and Design of Analog Integrated Circuits*. John Wiley, 3 edition, 1993.
 - [105] Thomas H. Lee. *The Design of CMOS Radio-Frequency Integrated Circuits*. Cambridge University Press, 1 edition, 1998.
 - [106] Anatol I. Zverev. *Handbook of Filter Synthesis*. John Wiley & sons, 1 edition, 1967.
 - [107] A. van der Ziel. *Solid State Physical Electronics*. Prentice-Hall, 3 edition, 1976.
 - [108] Jung-Suk Goo, Hee-Tae Ahn, Donald J. Ladwig, Zhiping Yu, Thomas H. Lee, and Robert W. Dutton. A noise optimization technique for integrated low-noise amplifiers. *IEEE Journal of solid-state circuits*, 37(8) :994–1002, August 2002.
 - [109] Brian Battaglia. Design a low-noise communications amplifier. *Microwaves& RF*, December 1999.
 - [110] T. Sepke. RF analog circuit design with scaled CMOS devices. Article trouv e sur internet.
 - [111] Won Namgoong. Ultra-wideband digital receiver-LNA design. Presentation at the University of Southern California.
 - [112] Teerachet Soorapanth and Thomas H. Lee. RF linearity of short-channel MOSFETs. Article from the CISS' archives with presentation.
 - [113] A. A. Abidi. High-frequency noise measurements on FET's with small dimensions. *IEEE Transactions on Electron Devices*, ED-33(11) :1801–1805, November 1986.
 - [114] Jung-Suk Goo, Hee-Tae Ahn, Donald J. Ladwig, Zhiping Yu, Thomas H. Lee, and Robert W. Dutton. Guidelines for the power constrained design of a CMOS tuned LNA. Article from the CISS' archives.
 - [115] H. T. Friis. Noise figure of radio receivers. *Proc. IRE*, 32 :419–422, July 1944.
 - [116] A. van der Ziel. Thermal noise in field effect transistors. *Proc. IRE*, 50 :1808–1812, August 1962.
 - [117] H. Rhoite and W. Dahlke. Theory of noise fourpoles. *inproceedings of the Institute of Radio Engineers*, 44(6) :811, June 1956.

- [118] Gilles Dambrine, Jean-Pierre Raskin, François Danneville, Danielle Vanhoenacker-Janvier, Jean-Pierre Colinge, and Alain Cappy. High-frequency four noise parameters of silicon-on-insulator-based technology MOSFET for the design of low-noise RF integrated circuit. *IEEE Transactions on Electron Devices*, 46(8) :1733–1741, August 1999.
- [119] Chen Jiwei and Shi Bingxue. Impact of intrinsic channel resistance on noise performance of CMOS LNA. *IEEE Electron Device Letters*, 23(1) :34–36, January 2002.
- [120] Tsui Hau-Yiu and J. Lau. Spice simulation and tradeoffs of CMOS LNA performance with source-degeneration inductor. *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, 47(1) :62–65, January 2000.
- [121] Chih-Ming Hung, Yo-Chuol Ho, I-Chang Wu, and Kenneth O. High-q capacitors implemented in a CMOS process for low-power wireless applications. *IEEE Transactions on Microwave Theory and Techniques*, 46(5) :505–511, May 1998.
- [122] A. Pascht, M. Reimann, and M. Berroth. Comparison of advanced transistor technologies with regard to their noise figures. In *Symposium on High Performance Electron Devices for Microwave and Optoelectronic Applications*, pages 125–130, 1999.
- [123] Belinda Piernas, Kenjiro Nishikawa, Kenji Kamogawa, Tadao Nakagawa, and Katsuhiko Araki. Improved three-dimensional GaAs inductors. In *IEEE MTT-S International Microwave Symposium Digest*, pages 189–192, 2001.
- [124] C.S. Kim, M. Park, C.-H. Kim, M.-Y. Park, S.-D. Kim, Y.-S. Youn, J.-W. Park, S.-H. Han, H.K. Yu, and H. Cho. Design guide of coupling between inductors and its effect on reverse isolation of a CMOS LNA. In *IEEE MTT-S International Microwave Symposium Digest*, pages 225–230, 2000.
- [125] Y. Koutsoyannopoulos, Y. Papananos, S. Bantas, and C. Alemani. Novel si integrated inductor and transformer structures for RF ic design. In *Proceeding IEEE International Symposium on Circuits and Systems*, volume 2, pages 573–576, 1999.
- [126] Gérard Rey and Philippe Leturcq. *Théorie Approfondie du Transistor Bipolaire*. Masson&Cie, 1972.
- [127] Christophe de La Taille. *Électronique analogique rapide*. Supélec, 2001.
- [128] Wu You-Lin, H. Yin-Hsin, L. Tian-Shuan, and Hwang Huey-Liang. Design of sige/si heterojunction bipolar transistor for RF mixer application. In *Proceedings 6th of International Conference on Solid-State and Integrated-Circuit Technology*, pages 230–235, 2001.
- [129] H. Pretl, W. Schelmbauer, B. Adler, L. Maurer, J. Fenk, and R. Weigel. A sige-bipolar down-conversion mixer for a umts zero-if receiver. In *Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting*, pages 40–43, 2000.
- [130] M. Wurzer, T.F. Meister, S. Hackl, H. Knapp, and L. Treitinger. 30 GHz active mixer in a si/sige bipolar technology. In *Asia-Pacific Microwave Conference*, pages 780–782, 2000.
- [131] Hu Yutao and K. Mayaram. A simulation-free systematic approach for analysis of noise in emitter-coupled pair bipolar mixers. In *Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting*, pages 79–82, 1998.
- [132] O. Shana’a, I. Linscott, and L. Tyler. Frequency-scalable sige bipolar RF front-end design. *IEEE Journal of Solid-State Circuits*, 36(6) :888–895, June 2001.
- [133] C. Pallier, F. Vallette, G. Vasilescu, and C. Algani. How hbt parameters influence conversion gain in a gilbert cell microwave mixer. In *Workshop on High Performance Electron Devices for Microwave and Optoelectronic Applications*, pages 261–266, 1997.

-
- [134] T. Okamura, Y. Kuraishi, O. Tsuzuki, T. Senba, and C. Kurioka. 10 GHz si bipolar amplifier and mixer ics for coherent optical systems. In *Digest of Technical Papers. 39th ISSCC*, pages 202–203, 283, 1992.
 - [135] K.L. Deng, C.C. Meng, S.S. Lu, H.D. Lee, and H. Wang. A fully monolithic integrated twin dipole antenna mixer on a GaAs substrate. In *Asia-Pacific Microwave Conference*, pages 54–57, 2000.
 - [136] R. Shimon, D. Caruth, J. Middleton, H. Hsia, and M. Feng. Low cost coplanar 77 GHz single-balanced mixer using ion-implemented GaAs schottky diodes. In *IEEE MTT-S International Microwave Symposium Digest*, volume 3, pages 1439–1442, 1998.
 - [137] E. Martins, M.V.G. Gomes, E.M. Bastida, and J.W. Swart. Design of a LNA and a gilbert cell mixer MMICs with GaAs PHEMT technology. In *SBMO/IEEE MTT-S APS and LEAOS, IMOC'99*, pages 267–270, 1999.
 - [138] B. Buxton, R. Vahldieck, and J. Bornemann. An active dual-gate GaAs FET mixer for 800 MHz low current consumption mountain top repeaters. In *ISCAS Proceedings*, pages 67–70, 1992.
 - [139] A. Grama, F. Hurgoi, G. Chindris, and O. Pop. Design principles for modeling and simulations of microwave circuits. In *24th International Spring Seminar on Electronics Technology : Concurrent Engineering in Electronic Packaging*, pages 102–106, 2001.
 - [140] Ye Song and C.A.T. Salama. A 1 V, 1.9 GHz, low distortion dual-gate CMOS on SOI mixer. In *IEEE International SOI Conference*, pages 104–105, 2000.
 - [141] T. Sandstrom and L. Sundstrom. A 1.8-GHz double-balanced CMOS receiver front-end. In *42nd Midwest Symposium on Circuits and Systems*, volume 2, pages 834–837, 2000.
 - [142] Hsiao Shuo-Yuan and Wu Chung-Yu. A parallel structure for CMOS four-quadrant analog multipliers and its application to a 2-GHz RF downconversion mixer. *IEEE Journal of Solid-State Circuits*, 33(6) :859–869, June 1998.
 - [143] F. Svelto, M. Conta, V. Della Torre, and R. Castello. A low-voltage topology for CMOS RF mixers. *IEEE Transaction on Consumer Electronics*, 45(2) :299–309, May 1999.
 - [144] Cheng Wang-Chi, Chan Cheong-Ft, Choy Chiu-Sing, and Pun Kong-Pang. A 1.2 V 900 MHz CMOS mixer. In *ISCAS*, volume 5, pages V.365–V.368, 2002.
 - [145] V. Geffroy, G. De Astis, and E. Bergeault. RF mixers using standard digital CMOS 0.35/spl mu/m process. In *IEEE MTT-S International Microwave Symposium Digest*, volume 1, pages 83–86, 2000.
 - [146] Li Shenggao, J. Zohios, H. Choi Jung, and M. Ismail. RF CMOS mixer design and optimization for wideband cdma application. In *Southwest Symposium on Mixed-Signal Design (SSMSD)*, pages 45–50, 2000.
 - [147] M.T. Terrovitis and R.G. Meyer. Intermodulation distortion in current-commutating CMOS mixers. *IEEE Journal of Solid-State Circuits*, 35(10) :1461–1473, October 2000.
 - [148] P.J. Sullivan, B.A. Xavier, and W.H. Ku. Low voltage performance of a microwave CMOS gilbert cell mixer. *IEEE Journal of Solid-State Circuits*, 32(7) :1151–1155, July 1997.
 - [149] A.N. Karanicolas. A 2.7-V 900-MHz CMOS LNA and mixer. *IEEE Journal of Solid-State Circuits*, 31(12) :1939–1944, December 1996.
 - [150] Wang Jun and A.K.K. Wong. A study on theoretical representation of intermodulation in CMOS balanced mixers. In *IEEE Hong Kong Electron Devices Meeting Proceedings*, pages 107–110, 2002.

- [151] L. Li, J. Guo, Li Zheyang, and H. Teuhunen. Substrat noise analysis for RF CMOS mixers based on state equation technique. In *Third International Workshop on Design of Mixed-Mode Integrated Circuits and Applications*, pages 94–97, 1999.
- [152] R.P. O’Toole. A 3-V RF-CMOS dual-gate up-conversion mixer. In *IEEE MTT-S Symposium on Technologies for Wireless Applications Digest*, pages 141–145, 1999.
- [153] P. Litmanen, P. Ikalainen, and K. Halonen. A 2.0-GHz submicron CMOS LNA and a downconversion mixer. In *Proceedings of the IEEE ISCAS*, volume 4, pages 357–359, 1998.
- [154] M. Borremans and M. Steyaert. A 2 V, low power, single-ended 1 GHz CMOS direct upconversion mixer. In *Proceedings of the IEEE Custom Integrated Cicuits Conference*, pages 517–520, 1997.
- [155] E.E. Bautista, B. Bastani, and J. Heck. A high iip2 downconversion mixer using dynamic matching. *IEEE Journal of Solid-State Circuits*, 35(12) :1934–1941, December 2000.
- [156] P.J. Sullivan, B.A. Xavier, and W.H. Ku. Doubly balanced dual-gate CMOS mixer. *IEEE Journal of Solid-State Circuits*, 34(6) :878–881, June 1999.
- [157] J. Crols and M.S.J. Steyaert. Q 1.5 GHz highly linear CMOS downconversion mixer. *IEEE Journal of Solid-State Circuits*, 30(7) :736–742, July 1995.
- [158] Zhang Zhaofeng and J. Lau. A flicker-noise-free dc-offset-free harmonic mixer in a CMOS process. In *IEEE Radio and Wireless Conference (RAWCON)*, pages 113–116, 2001.
- [159] Wang Jun and A.K.K. Wong. Effects of mismatch on CMOS double-balanced mixers : A theoretical analysis. In *IEEE Hong Kong Electron Devices Meeting Proceedings*, pages 85–88, 2001.
- [160] W. Schuchter, G. Krasser, V. Schultheiss, and G. Hofer. A single chip fsk/ask 900 MHz transceiver in a standard 0.25um CMOS technology. In *Digest of RFIC Symposium*, pages 183–186, 2001.
- [161] B.J. Blalock and P.E. Allen. A low-voltage, bulk-driven MOSFET current mirror for CMOS technology. In *IEEE ISCAS*, volume 3, pages 1972–1975, 1995.
- [162] G. Kathiresan and C. Toumazou. A low voltage bulk driven downconversion mixer core. In *IEEE ISCAS*, volume 2, pages 598–601, 1999.
- [163] R. Fried and C.C. Enz. Bulk driven MOST transconductor with extended linear range. *Electronics Letters*, 32(7) :638–640, March 1996.
- [164] S.S. Rajput and S.S. Jamuar. Low voltage analog circuit design techniques. *IEEE Circuits and Systems Magazines*, 21 :24–42, 2002.
- [165] C. Tinella and J.M. Fournier. Design of a SOI fully integrated 1 V, 25 GHz front-end receiver. In *IEEE International SOI Conference*, pages 139–140, 2001.
- [166] M.E. Davis, E.W. Williams, and A.C. Celestini. Finite-boundary corrections to the coplanar waveguide analysis. In *IEEE Transaction, MTT-21*, pages 594–596, 1973.
- [167] T. Hatsuda. Computation of coplanar-type strip line characteristics by relaxation method and its applications to microwave circuits. In *IEEE Transaction, MTT-23*, pages 795–802, 1975.
- [168] J.B. Knorr and K.D. Kuchler. Analysis of coupled slots and coplanar strips on dielectric substrate. In *IEEE Transaction, MTT-23*, pages 541–548, 1975.
- [169] Y. Fujiki and T. Kitazawa. Higer-order modes in coplanar-type transmission lines. *Electronic and Communication in Japan*, 58.

-
- [170] R. Pregla and S.G. Pintzos. Determination of the propagation constants in coupled microslots by a variational method. In *Proc V Colloquium Microwave Comm.*, pages MT-491–500, 1974.
 - [171] P.A.J Dupuis and C.K. Campbell. Characteristic impedance of surface-strip coplanar waveguides. *Electronic Letters*, 9 :354–355, 1973.
 - [172] T. Kitazawa, Y. Hayashi, and M. Suzuki. A coplanar waveguide with thick metal-coating. In *IEEE Transaction, MTT-24*, pages 604–608, 1976.
 - [173] A.A. Omar and Y.L. Chow. A solution for coplanar waveguide with air-bridges using complex images. In *IEEE Transactions on Microwave Theory and Techniques, MTT-35*, pages 2070–2077, 1992.
 - [174] Emre Tuncer, Beom-Taek Lee, M. Saiful Islam, and Dean P. Neikirk. Quasi-static conductor loss calculations in transmission lines using a new conformal mapping technique. *IEEE Transactions on Microwave Theory and Techniques*, 42, September 1994.
 - [175] Frank Schnieder, Thorsten Tischler, and Wolfgang Heinrich. Modeling dispersion and radiation characteristics of conductor-backed CPW with finite ground width. *IEEE Transactions on Microwave Theory and Techniques*, 51, January 2003.
 - [176] Giovanni Ghione and Carlo U. Naldi. Coplanar waveguides for MMIC applications : effect of upper shielding, conductor backing, finite-extent ground planes, and line-to-line coupling. *IEEE Transactions on Microwave Theory and Techniques*, MTT-35, March 1987.
 - [177] C. Majek, N. Deltime, H. Lapuyade, J.-B. Bégueret, E. Kerhervé, and Y. Deval. A 2-6 GHz CMOS factorial delay locked loop dedicated to multi-standard frequency synthesis. In *International Symposium on Industrial Electronics*, pages 157–161, 2004.

Résumé

Ce travail de thèse a porté sur les possibilités d'intégration de la chaîne de réception radiofréquence en bande X sur technologies MOS relativement standard donc peu coûteuses. À terme, le but visé est l'intégration sur une puce unique (SoC : System on Chip), de la partie analogique et de la partie traitement numérique d'un récepteur radiofréquence. Les problèmes d'intégration de quatre blocs fondamentaux de la chaîne : LNA, oscillateur, mélangeur et commutateur RF ont été étudiés. Les solutions proposées vont de l'adaptation de structures classiques (mélangeur) à la proposition de structures originales (oscillateur). Ces études ont été confrontées avec des mesures sur deux véhicules de test réalisés spécialement au cours de la thèse, en technologies CMOS-SOS de $0,5\mu m$ et $0,25\mu m$ avec des fréquences de transition respectives de 35 et $45GHz$. L'étude montre que l'emploi du MOS, malgré ses limitations intrinsèques en termes de bruit et de dynamique notamment, permet d'obtenir des performances globalement satisfaisantes. Les particularités de la bande X vis à vis des dimensions en jeu impose de concilier des difficultés liées à la frontière de deux domaines : celui des modèles à constantes localisées (électronique analogique classique) et celui des modèles à constantes réparties (structures hyperfréquences). Elles mettent également en évidence, pour ce type d'applications, les limitations des modèles classiquement utilisés dans l'industrie du semi-conducteur (BSIM3V3), surtout lorsque la fréquence d'utilisation est proche de la fréquence de transition des transistors. Ces deux derniers points ouvrent de nouvelles perspectives de recherches dans le domaine.

Mots-clés: CMOS, SOI, SOS, RF, LNA, Mélangeur, Oscillateur, Bande X, électronique analogique.

Abstract

This PhD work deals with the possibilities of integration of the radiofrequency receive path on X band in classical and low cost MOS technologies. In the end, the main purpose of this topic is to realize a system on chip, both including the analog part and the signal processing of a radiofrequency receiver. The issues concerning the four fundamental blocks of the chain (LNA, oscillator, mixer and switch) have been pointed out. The proposed solutions vary from the adaptation of classical structures (mixer) to the presentation of creative ones. These studies have been confronted with measurements of two test vehicles, especially made for the thesis, in CMOS-SOS $0.5\mu m$ and $0.25\mu m$ technologies with transition frequencies of 35 and $45GHz$ respectively. Conclusions are that the MOS transistors can be used in order to obtain rather satisfactory performances, in spite of its intrinsic limitations about noise and dynamic. The X band peculiarities beside the characteristic dimensions of integrated circuits compel to patch up the difficulties located on the border line of two domains : the one of lumped elements models (classical electronic) and the one of distributed elements models (microwave structures). They also point out, on studied applications, the limitations of the industry mainly used semi-conductor models (BSIM3v3), especially when the target frequency reaches the transistor frequency of transition. Those two last points open new ways of research in the area.

Keywords: CMOS, SOI, SOS, RF, LNA, Mixer, Oscillator, X band, analog electronic.

